



12 节可级联电池监控芯片

XL8812

特性

- 可测多达 12 节串联电池的电压
- 1.5mV 最大总测量误差
- 可级联支持多达上百节电池串联应用
- 内置隔离 isoSPI 接口：
 - 2Mbps 隔离式串行通信
 - 采用单根双绞线，长达 100 米
 - 低 EMI 敏感度和辐射
 - 主从可逆支持双向通讯，极大提高系统可靠性
- 可在 250us 之内完成系统中 12 节电池的测量
- 支持电流电压同步测量
- 集成 2 个高精度多模式 16 位增量累加($\Delta\Sigma$)型 ADC
- 针对 ISO 26262 标准的系统工程设计
- 集成均衡驱动，支持最高 200mA 内部均衡
- 5 个通用的数字 I/O 或模拟量输入，用于：
 - 温度或其他传感器输入
 - 可配置为一个 I2C 或 SPI 主控器
- 5uA 睡眠模式电源电流
- 48 引脚 LQFP 封装

应用场景

- 电动汽车及混合动力汽车
- 基站后备电源
- 储能电站
- 高功率便携式设备
- 工业/服务机器人等

概述

XL8812 是一颗汽车级多节电池组监控芯片，满足 AEC-Q100 和 ISO26262 汽车安全 ASIL C 标准，专注于高精度测量和低功耗设计。该芯片可测量多达 12 个串接电池的电压并具有低于 1.5mV 总测量误差。0V 至 5V 的电池测量范围使 XL8812 成为大多数化学组分电池的合适之选。所有 12 节电池的电压可在 250us 之内完成测量，并可选择较低的数据采集速率以实现高噪声抑制。

XL8812 支持多芯片级联应用，因而能在多达上百节的高电压电池中实现每节电池的同时监视。每个 XL8812 具有一个隔离 SPI 接口，用于实现高速、抗 RF 干扰的局域通信。支持 2 种方式：1) XL8812-1 支持多个器件采用菊花链式连接，且所有器件采用一根主处理器接线；2) XL8812-2 支持多个器件并联连接至主处理器，而对每个器件进行个别寻址。

XL8812 可直接从电池包供电或独立供电，芯片集成被动均衡功能，对每节电池可独立 PWM 控制。芯片内置一个的 5V 稳压器和 5 个通用的 GPIO 通道。

在睡眠模式下，XL8812 功耗至至 5uA。



ASIL C/D requested



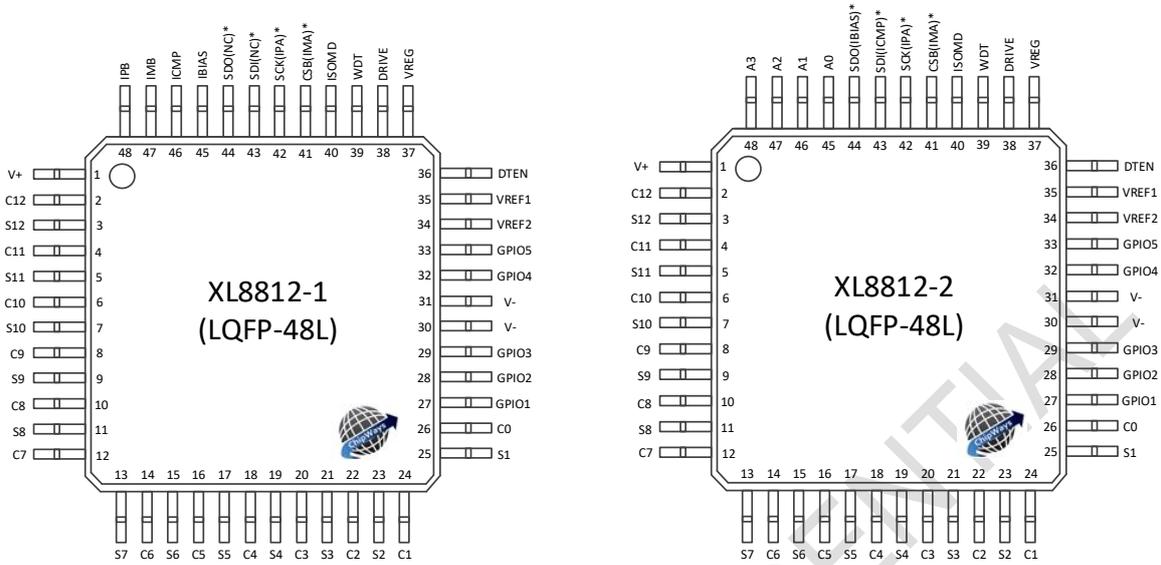
目录

特性	1
绝对最大额定参数	4
管脚示意图	5
管脚定义	1
XL8812 功能框图	2
电气参数	3
特性曲线	8
工作原理	12
XL8812 工作状态	13
CORE 电路工作状态描述	13
SLEEP 状态	13
STANDBY 状态	13
REFUP 状态	13
MEASURE 状态	13
EXTEND BALANCE 扩展均衡状态	14
ISOSPI 状态描述 ^{NOTE1}	14
IDLE 状态	14
READY 状态	14
ACTIVE 状态	14
芯片功耗	15
ADC OPERATION	16
ADC 范围和分辨率	17
ADC 范围与电压参考值	25
电池电压测量 (ADCV 命令)	25
欠压 / 过压监视	26
GPIO 测量 (ADAX 命令)	26
GPIO 通道数字冗余检测 (ADAXD 命令)	27
电池电压和 GPIO 组合测量 (ADCVAX 命令)	28
数据采集系统诊断	28
内部电路模块参数测量 (ADSTAT 命令)	28
内部参数数字冗余检测 (ADSTATD 命令)	29
单节电池和总电池电压组合测量 (ADCVSC 命令)	30
电池交叠测量 (ADOL 命令)	31
精度检查	31
MUX Decoder 检查 (DIAGN 命令)	31
数字滤波器检测	32
ADC 数据清除命令 (CLRCELL/CLRAUX/CLRSTAT 命令)	32
断线检查 (ADOW 命令)	33
Thermal Shutdown	33
版本代码	34
看门狗和均衡定时器 (WATCHDOG & DISCHARGE TIMER)	34

芯片复位	35
PWM 均衡控制	36
GPIO 端口 I2C/SPI 主控器	37
COMM 寄存器	37
COMM 命令	38
I2C 和 SPI Master 的时序规范	40
S PIN PULSING USING THE S CONTROL REGISTER GROUP	41
串行接口概述	42
四线式串行外设接口 (SPI) 物理层	42
外部连接	42
时序	43
两线式隔离串行接口 (IsoSPI) 物理层	43
外部连接	44
XL8812 单芯片应用	46
偏置电阻选择	46
isoSPI 脉冲细节	47
端口 A 配置成 SPI 时 XL8812-1 的操作	48
端口 A 配置成 isoSPI 时 XL8812-1 的操作	49
主从可逆双向 isoSPI	49
唤醒串行接口	51
唤醒菊花链: 方法 1	52
唤醒菊花链: 方法 2	52
数据链路层	52
网络层	53
Packet Error Code (PEC)	53
STBR0(P), ..., STBR5(P), PEC0(P), PEC1(P), STBR0(S), ..., STBR5(S), PEC0(S), PEC1(S)	55
广播命令	55
地址命令	55
轮询 (polling command) 方法	55
总线协议	57
命令代码	58
Register Map	61
典型应用电路	67
封装信息	68

绝对最大额定参数

电源电压 V+ to V-	75V	C9 to C6.....	-0.3V to 21V
电源电压 (相对 C6), V+ to C6.....	50V	C6 to C3.....	-0.3V to 21V
输入电压 (相对 V-),		C3 to C0.....	-0.3V to 21V
C0.....	-0.3V to 0.3V	管脚输入/输出电流	
C12	-0.3V to MIN (V+ + 5.5V, 75V)	除了 V _{REG} , IPA, IMA, PB, IMB,C(n), S(n)外其他引脚.....	10mA
C(n).....	-0.3V to MIN (8 • n, 75V)	IPA, IMA, IPB, IMB.....	30mA
S(n).....	-0.3V to MIN (8 • n, 75V)	工作温度范围	
IPA, IMA, IPB, IMB.....	-0.3V to V _{REG} + 0.3V, ≤6V	XL8812.....	-40°C to 125°C
DRIVE	-0.3V to 7V	结温.....	150°C
其它PIN脚	-0.3V to 6V	存储温度.....	-65°C to 150°C
输入管脚间电压		焊接温度 (持续时间 10S)	300°C
C(n) to C(n - 1)	-0.3V to 8V	HBM ESD 等级: level 2	
S(n) to C(n - 1)	-0.3V to 8V	CDM ESD 等级: Level C5	
C12 to C9	-0.3V to 21V		

管脚示意图


(*管脚功能由ISOMD管脚连接状况决定, 参考下表)

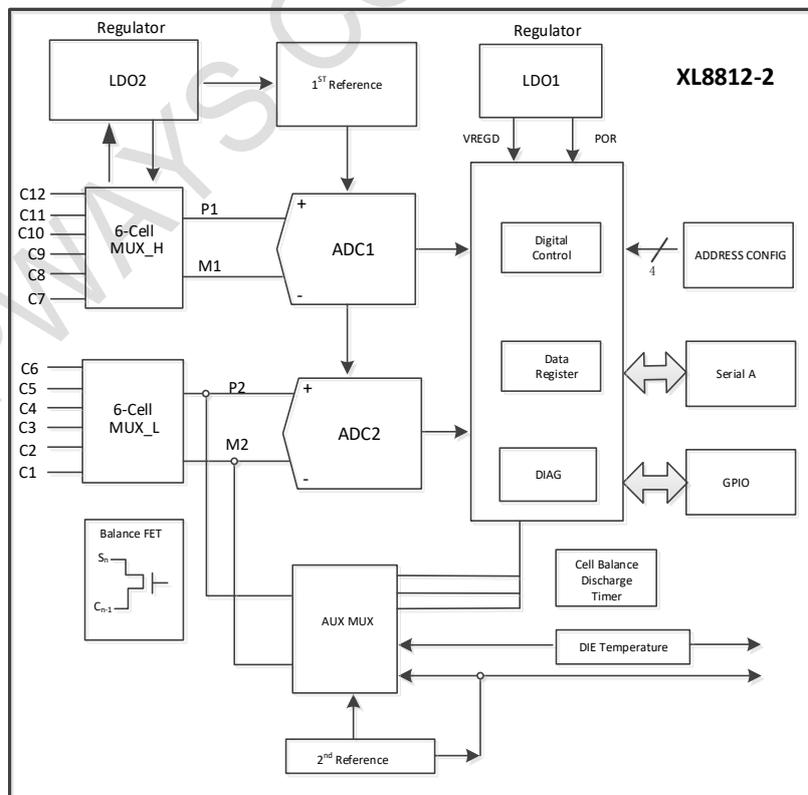
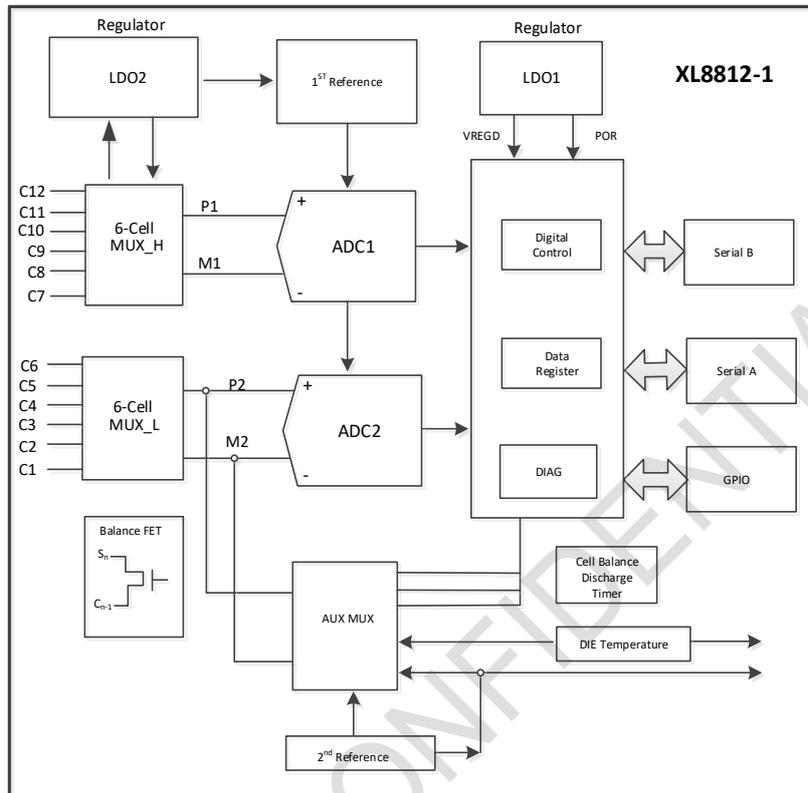
串行通讯口引脚配置

	XL8812-1 (菊花链连接模式)		XL8812-2 (星形连接寻址模式)	
	ISOMD=VREG	ISOMD=V-	ISOMD=VREG	ISOMD=V-
端口 B (引脚 45 到 48)	IPB	IPB	A3	A3
	IMB	IMB	A2	A2
	ICMP	ICMP	A1	A1
	IBIAS	IBIAS	A0	A0
端口 A (引脚 41 到 44)	(NC)	SDO	IBIAS	SDO
	(NC)	SDI	ICMP	SDI
	IPA	SCK	IPA	SCK
	IMA	CSB	IMA	CSB

管脚定义

管脚#	管脚定义		管脚功能描述
	XL8812-1	XL8812-2	
1	V+	V+	芯片电源正端输入管脚
2、4、6、8、10、12、14、16、18、20、22、24、26	C12~C0	C12~C0	电池正端和或负端连接管脚
3、5、7、9、11、13、15、17、19、21、23、25	S12~S1	S12~S1	电池均衡控制端口
27、28、29、32、33	GPIO1~5	GPIO1~5	通用模拟数字输入输出管脚。可用于外部模拟量（如温度，电流等）的输入测量，也可配置为 I2C/SPI 主控端口
30、31	V-	V-	芯片电源负端输入管脚。两个负端管脚需连在一起
34	VREF2	VREF2	第二基准源，可用于外部温度传感器电源
35	VREF1	VREF1	第一基准源，用于内部 ADC 做基准电压
36	DTEN	DTEN	均衡放电定时器使能引脚。把该引脚连接至 V _{REG} 时使能均衡放电定时器。
37	VREG	VREG	5V 电源输入
38	DRIVE	DRIVE	5.7V 电源输出，可驱动一个外部 NPN 产生 5V 电源
39	WDT	WDT	看门狗定时器输出引脚，开漏输出
40	ISOMD	ISOMD	串行接口模式配置引脚。 ISOMD=V _{REG} : 芯片 41 至 44 引脚配置成两线隔离通讯接口模式(隔离 SPI); ISOMD=V-: 芯片 41 至 44 引脚配置成四线 SPI 通讯模式。
41	CSB (IMA)	CSB (IMA)	4 线 SPI 片选信号 (ISOMD 接 V-); 隔离通讯 isoSPI 端口 A 负端管脚 (ISOMD 接 V _{REG})
42	SCK (IPA)	SCK (IPA)	4 线 SPI 时钟信号 (ISOMD 接 V-); 隔离通讯 isoSPI 端口 A 正端管脚 (ISOMD 接 V _{REG})
43	SDI (NC)	-	4 线 SPI 数据输入信号 (ISOMD 接 V-); NC (ISOMD 接 V _{REG})
	-	SDI (ICMP)	4 线 SPI 数据输入信号 (ISOMD 接 V-); 隔离通讯有效信号幅值阈值设定 (ISOMD 接 V _{REG})
44	SDO (NC)	-	4 线 SPI 数据输出信号 (ISOMD 接 V-); NC (ISOMD 接 V _{REG})
	-	SDO (IBIAS)	4 线 SPI 数据输出信号 (ISOMD 接 V-); 隔离通讯端口电流偏置 (ISOMD 接 V _{REG})
45	IBIAS	-	隔离通讯端口电流偏置
	-	A0	地址 shed 管脚
46	ICMP	-	隔离通讯有效信号幅值阈值设定
	-	A1	地址设定管脚
47	IMB	-	隔离通讯 isoSPI 端口 B 负端管脚
	-	A2	地址设定管脚
48	IPB	-	隔离通讯 isoSPI 端口 B 正端管脚
	-	A3	地址设定管脚

XL8812 功能框图



电气参数 (如无特别说明: 环境温度 25°C, *代表全温度工作范围, $V_+ = 39.6V$, $V_{REG} = 5.0V$, ISOMD 管脚接到 V- 管脚)。

符号	参数	条件	最小值	典型值	最大值	单位
ADC DC Specifications						
	测量分辨率			0.1		mV/bit
	ADC offset 电压			0.1		mV
	ADC gain error			0.036		%
标准模式中的总测量误差 (TME)	C(n) to C(n-1), GPIO(n) to V- = 0			±0.2		mV
	C(n) to C(n-1) = 2.0			±0.1	±2.5	mV
	C(n) to C(n-1), GPIO(n) to V- = 2.0	*			±2.5	mV
	C(n) to C(n-1) = 3.3			±0.2	±6	mV
	C(n) to C(n-1), GPIO(n) to V- = 3.3	*			±6	mV
	C(n) to C(n-1) = 4.2			±0.3	±7	mV
	C(n) to C(n-1), GPIO(n) to V- = 4.2	*			±7	mV
	C(n) to C(n-1), GPIO(n) to V- = 5.0			±1		mV
	电池总电压 (SC)	*		±0.05	±1.7	%
	内部温度			±5		°C
	VREG 电压	*		±0.1	±5	%
	VREF2 电压	*		±0.02	±0.3	%
	数字电源电压 V_{REGD}	*		±0.1	±2	%
滤波模式中的总测量误差 (TME)	C(n) to C(n-1), GPIO(n) to V- = 0			±0.1	±1.2	mV
	C(n) to C(n-1) = 2.0				±1.5	mV
	C(n) to C(n-1), GPIO(n) to V- = 2.0	*			±1.6	mV
	C(n) to C(n-1) = 3.3			±0.2	±2.2	mV
	C(n) to C(n-1), GPIO(n) to V- = 3.3	*			±3	mV
	C(n) to C(n-1) = 4.2			±0.3	±2.6	mV
	C(n) to C(n-1), GPIO(n) to V- = 4.2	*			±4	mV
	C(n) to C(n-1), GPIO(n) to V- = 5.0			±1		mV
	电池总电压 (SC)	*		±0.05	±1.7	%
	内部温度			±5		°C
	VREG 电压	*		±0.1	±4.5	%
	VREF2 电压	*		±0.02	±0.2	%
	数字电源电压 V_{REGD}	*		±0.1	±1.6	%
快速模式中的总测量误差 (TME)	C(n) to C(n-1), GPIO(n) to V- = 0			±2		mV
	C(n) to C(n-1), GPIO(n) to V- = 2.0	*			±3	mV
	C(n) to C(n-1), GPIO(n) to V- = 3.3	*			±3.7	mV
	C(n) to C(n-1), GPIO(n) to V- = 4.2	*			±4.5	mV
	C(n) to C(n-1), GPIO(n) to V- = 5.0			±10		mV
	电池总电压 (SC)	*		±0.15	±1.9	%

		内部温度		±5	°C
		VREG 电压	*	±0.3 ±1	%
		VREF2 电压	*	±0.1 ±0.25	%
		数字电源电压 V _{REGD}	*	±0.2 ±2.3	%
	输入范围	C(n), n = 1 to 12	*	C(n-1) C(n-1)+5	V
		C0	*	0	
		GPIO(n), n = 1 to 5	*	0 5	V
I _L	测量通道漏电流 (未测量时 core=STANDBY)	C(n), n = 0 to 12	*	±100	nA
		GPIO(n), n = 1 to 5	*	±100	nA
	测量通道漏电流 (测量时 core=MEASURE)	C(n), n = 0 to 12		±15	µA
		GPIO(n), n = 1 to 5		±15	µA
	测量通道开路检测期间的输入电 流		*	14	mA

电压基准规格

V _{REF1}	第一基准电压	VREF1 管脚电压, 无负载	*	3.1 3.2 3.4	V
	第一基准电压 TC	VREF1 管脚电压, 无负载		4	ppm/°C
	第一基准电压迟滞	VREF1 管脚电压, 无负载		20	ppm
	第一基准电压长期漂移	VREF1 管脚电压, 无负载		20	ppm √khr
V _{REF2}	第二基准电压	VREF2 管脚电压, 无负载	*	2.995 3 3.005	V
		VREF2 管脚电压, 5k 电阻接至 V-	*	2.995 3 3.005	V
	第二基准电压 TC	VREF2 管脚电压, 无负载		20	ppm/°C
	第二基准电压迟滞	VREF2 管脚电压, 无负载		100	ppm
	第二基准电压长期漂移	VREF2 管脚电压, 无负载		60	ppm √khr

一般 DC 规格

I _{VP}	V+ 电源电压(参考图 1: XL8812 工作状态图)	状态: CORE=SLEEP, isoSPI = IDLE	VREG = 0V		5 7	µA	
			VREG = 0V	*	5 10	µA	
			VREG = 5V		5 7	µA	
			VREG = 5V	*	5 10	µA	
		状态: CORE= STANDBY				8 13 20	µA
				*		6 13 22	µA
		状态: CORE= REFUP or MEASURE				1 2 2.3	mA
		*		1 2 2.3	mA		
I _{REG(CORE)}	V _{REG} 电源电流	状态: CORE= SLEEP, isoSPI = IDLE	VREG = 5V		2.2 4	µA	
			VREG = 5V	*	2.2 6	µA	
		状态: CORE= STANDBY				17 40 67	µA
				*		14 40 70	µA
		状态: CORE= REFUP				0.2 0.45 0.9	mA
				*		0.15 0.45 0.9	mA
I _{REG(isoSPI)}			READY	*	3.6 4.5 5.4	mA	

额外的 V _{REG} 电源电流 (假如 isoSPI 处于 READY/ACTIVE 状态) 注: ACTIVE 状态电流假设 t _{CLK} = 1μs.	XL8812-2, ISOMD = 1 RB1 + RB2 = 2K	ACTIVE	*	4.6	5.8	7.0	mA
	XL8812-1, ISOMD = 0, RB1 + RB2 = 2K	READY	*	3.6	4.5	5.2	mA
		ACTIVE	*	5.6	6.8	8.1	mA
	XL8812-1, ISOMD = 1, RB1 + RB2 = 2K	READY	*	4.0	5.2	6.5	mA
		ACTIVE	*	7.0	8.5	10.5	mA
	XL8812-2, ISOMD = 1, RB1 + RB2 = 20K	READY	*	1.0	1.8	2.6	mA
		ACTIVE	*	1.2	2.2	3.2	mA
	XL8812-1, ISOMD = 0, RB1 + RB2 = 20K	READY	*	1.0	1.8	2.4	mA
ACTIVE		*	1.3	2.3	3.3	mA	
XL8812-1, ISOMD = 1, RB1 + RB2 = 20K	READY	*	1.6	2.5	3.5	mA	
	ACTIVE	*	1.8	3.1	4.8	mA	
V+	V+ 电源电压	满足 TME 规格	*	11	40	60	V
	V+ 到 C12 电压	满足 TME 规格	*	-0.3			V
	V+ to C6 电压	满足 TME 规格	*			40	V
V _{REG}	V _{REG} 电源电压	TME 电源抑制 < 1mV/V	*	4.5	5.0	5.5	V
DRIVE	DRIVE 输出电压	1μA 负载电流	*	5.4	5.7	5.9	V
			*	5.2	5.7	6.1	V
			*	5.1	5.7	6.1	V
V _{REGD}	数字电源电压		*	4.5	5.0	5.5	V
	均衡放电开关导通电阻	V _{CELL} = 3.6V			2.5	4	Ω
	热停机温度				150		°C
V _{OL(WDT)}	看门狗定时器引脚低电平	WDT 管脚吸收 4mA 电流	*			0.4	V
V _{OL(GPIO)}	通用 I/O 引脚低电平	GPIO 管脚吸收 4mA 电流(用作数字输出)	*			0.4	V

ADC 定时规格

t _{CYCLE} (图 3,图 4,图 6)	测量 + 校准周期时间 (当从标准模式中的 REFUP 状态开始时)	测量 12 节电池	*	2120	2335	2480	μs
		测量 2 节电池	*	365	405	430	μs
		测量 12 节电池和 2 个 GPIO 输入	*	2845	3133	3325	μs
	测量 + 校准周期时间 (当从滤波模式中的 REFUP 状态开始时)	测量 12 节电池	*	183	201	215	ms
		测量 2 节电池	*	30	33	36	ms
		测量 12 节电池和 2 个 GPIO 输入	*	244	268	284	ms
	测量 + 校准周期时间 (当从快速模式中的 REFUP 状态开始时)	测量 12 节电池	*	1010	1113	1185	μs
		测量 2 节电池	*	180	201	213.5	μs
		测量 12 节电池和 2 GPIO 输入	*	1420	1564	1660	μs
t _{SKEW1} (图 6)	测量时差。C12 和 GPIO1 通道之间的测量时间差, COMMAND = ADCAV	快速模式	*	176	194	206	μs
		标准模式	*	493	543	576	μs
t _{SKEW2} (图 3)	测量时差。C12 和 C1 通道之间的测量时间差,COMMAND=ADCV	快速模式	*	211	233	248	μs
		标准模式	*	609	670	711	μs
t _{WAKE}	V _{REG} 电源启动时间	V _{REG} 由 DRIVE 管脚产生并稳定	*		200	400	μs
		DTEN Pin = 0 or DCTO[3:0]=0000	*	1.8	2	2.2	sec

t_{SLEEP} (图 1)	看门狗启动休眠或均衡放电定时器	DTEN Pin = 1 and DCTO[3:0] ≠ 0000		0.5	120	min
t_{REFUP}	基准唤醒时间	t_{REFUP} 和 ADC 模式测量通道数没关系	*	2.7	3.5	4.4
f_s	ADC 时钟频率			3.3		MHz

SPI 接口 DC 规格

$V_{IH(SPI)}$	SPI 管脚数字输入逻辑高电平	管脚 CSB, SCK, SDI	*	2.3		V
$V_{IL(SPI)}$	SPI 管脚数字输入逻辑低电平	管脚 CSB, SCK, SDI	*		0.8	V
$V_{IH(CFG)}$	配置管脚数字输入逻辑高电平	管脚 ISOMD, DTEN, GPIO1 to GPIO5, A0 to A3	*	2.7		V
$V_{IL(CFG)}$	配置管脚数字输入逻辑低电平	管脚 ISOMD, DTEN, GPIO1 to GPIO5, A0 to A3	*		1.2	V
$I_{LEAK(DIG)}$	数字输入电流	管脚 CSB, SCK, SDI, ISOMD, DTEN, A0 to A3	*		±1	μA
$V_{OL(SDO)}$	数字输出逻辑低电平	管脚 SDO 吸收 1mA 电流	*		0.3	V

isoSPI DC 规格

V_{BIAS}	IBIAS 管脚上的电压	READY/ACTIVE 状态 IDLE 状态	*	1.9	2.0	2.1	V V
I_B	隔离接口偏置电流	$R_{BIAS} = 2k$ to $20k$	*	0.1		1.0	mA
A_{IB}	隔离接口电流增益	$V_A \leq 1.6V$ $I_B = 1mA$ $I_B = 0.1mA$	*	18	20	24.5	mA/mA mA/mA
V_A	发射端输出脉冲幅度	$V_A = VIP - VIM $	*			1.6	V
V_{ICMP}	ICMP 管脚上设定阈值电压	$V_{TCMP} = A_{TCMP} \cdot V_{ICMP}$	*	0.2		1.5	V
$I_{LEAK(ICMP)}$	ICMP 管脚输入漏电流	$V_{ICMP} = 0V$ to V_{REG}	*			±1	μA
$I_{LEAK(IP/IM)}$	IP and IM 管脚上的漏电流	IDLE 状态, VIP or VIM, $0V$ to V_{REG}	*				μA
A_{TCMP}	接收端比较器门限电压增益	$V_{CM} = V_{REG} / 2$ to $V_{REG} - 0.2V$, $V_{ICMP} = 0.2V$ to $1.5V$	*	0.4	0.5	0.6	V/V
V_{CM}	接收端共模偏置电压	IP/IM 没有驱动操作				($V_{REG} - V_{ICMP} / 3 - 172mV$)	V
R_{IN}	接收端输入阻抗	Single-Ended to IPA, IMA, IPB, IMB	*	25	35	45	kΩ

isoSPI 空闲 / 唤醒规格(参考图 28)

V_{WAKE}	差分唤醒电压	$t_{DWELL} = 240ns$	*	200			mV
t_{DWELL}	唤醒检测之前 V_{WAKE} 的保持时间	$V_{WAKE} = 200mV$	*	240			ns
t_{READY}	识别唤醒之后的启动时间		*			10	μs
t_{IDLE}	IDLE 超时周期		*	4.3	5.5	6.7	ms

isoSPI 脉冲定时规格 (参考图 24)

$t_{\%PW(CS)}$	片选信号半脉冲宽度	发射器	*	120	150	180	ns
$t_{FILT(CS)}$	片选信号滤波	接收器	*	70	90	110	ns
$t_{INV(CS)}$	片选脉冲反转延迟	发射器	*	120	155	180	ns
$t_{WNDW(CS)}$	片选信号有效脉宽窗口	接收器	*	220	270	350	ns
$t_{\%PW(D)}$	数据信号半脉冲宽度	发射器	*	40	50	60	ns
$t_{FILT(D)}$	数字信号滤波	接收器	*	10	25	35	ns
$t_{INV(D)}$	数据信号脉冲反转延迟	发射器	*	40	55	65	ns

t _{WINDW(D)}	数据信号有效脉冲窗口	接收器	*	70	90	110	ns
-----------------------	------------	-----	---	----	----	-----	----

SPI 定时规格(参考图 16 和图 27)

t _{CLK}	SCK 周期	(Note 4)	*	1			μs
t ₁	SDI 建立时间 (在 SCK 上升沿之前)		*	25			ns
t ₂	SDI 保持时间 (在 SCK 上升沿之后)		*	25			ns
t ₃	SCK 低电平	t _{CLK} = t ₃ + t ₄ ≥ 1μs	*	200			ns
t ₄	SCK 高电平	t _{CLK} = t ₃ + t ₄ ≥ 1μs	*	200			ns
t ₅	CSB 上升沿至 CSB 下降沿		*	0.65			μs
t ₆	SCK 上升沿至 CSB 上升沿	(Note 4)	*	0.8			μs
t ₇	CSB 下降沿至 SCK 上升沿	(Note 4)	*	1			μs

isoSPI 定时规格(参考图 27)

t ₈	SCK 下降沿至 SDO 有效时间	(Note 5)	*			60	ns
t ₉	SCK 上升沿至短 升沿至脉冲传输时间		*			50	ns
t ₁₀	CSB 转换至长 换至长脉冲传输时间		*			60	ns
t ₁₁	CSB 上升沿至 SDO 上升时间	(Note 5)	*			200	ns
t _{RTN}	数据返回延迟时间		*	325	375	425	ns
t _{DSY(CS)}	片选信号菊花链传输延迟时间		*		120	180	ns
t _{DSY(D)}	数据信号菊花链传输延迟时间		*	200	250	300	ns
t _{LAG}	数据信号菊花链传输滞后时间 (相对于片选信号)	= [t _{DSY(D)} + t _{½PW(D)}] - [t _{DSY(CS)} + t _{½PW(CS)}]	*	0	35	70	ns
t _{5(GOV)}	片选信号脉冲高到低 Pulse Governor		*	0.6		0.82	μs
t _{6(GOV)}	数据信号到片选 Pulse Governor		*	0.8		1.05	μs

注 1: 高于“绝对最大额定值”部分所列数值的应力有可能对器件造成永久性的损害。在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命。

注 2: ADC 指针由总测量误差规格提供保证。

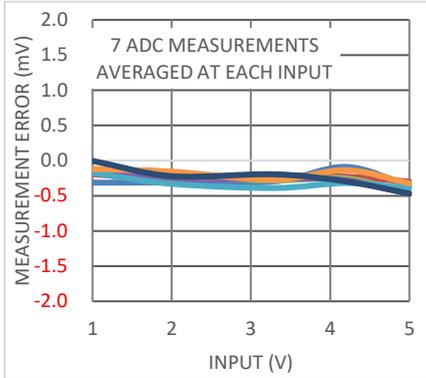
注 3: ACTIVE 状态电流采用 DC 测量结果来计算。ACTIVE 状态电流是在 isoSPI 端口上存在连续的 1MHz 通信 (50% 的数据为“1”, 50% 的数据为“0”) 时流入 V_{REG} 的额外平均电源电流。减缓时钟速率将降低电源电流。更多详情请见“应用信息”部分。

注 4: 这些定时规格与通过电缆的延迟有关, 并且包括针对每个方向的 50ns 延迟容差。50ns 对应于 10m 的 CAT-5 电缆 (其传播速度为光速的 66%)。如果使用更长的电缆, 则需根据延迟的增加量相应地对这些规格进行降额处理。

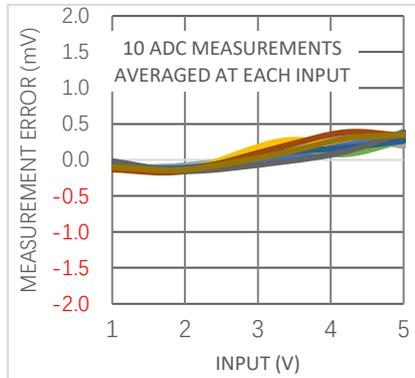
注 5: 这些规格不包括 SDO 的上升或下降时间。虽然下降时间 (由于内部下拉晶体管的原因, 通常为 5ns) 不是问题, 但上升沿转换时间 t_{RISE} 则取决于 SDO 引脚上的上拉电阻和负载电容。必须选择合适的时间常数以使 SDO 满足 MCU 的建立时间要求。

特性曲线

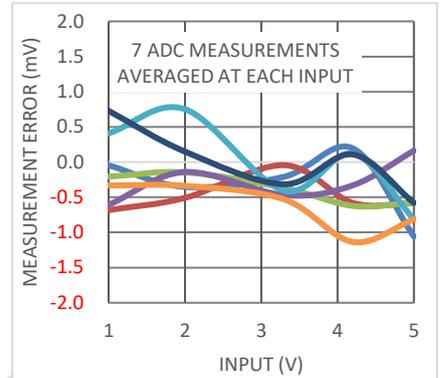
测量误差与输入电压的关系
标准模式



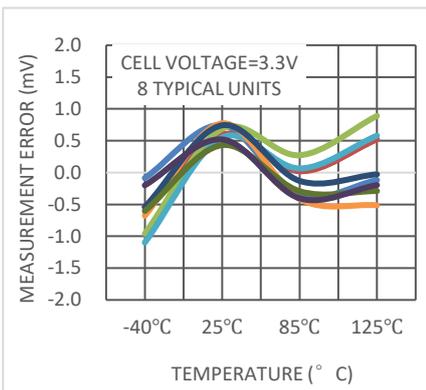
测量误差与输入电压的关系
滤波模式



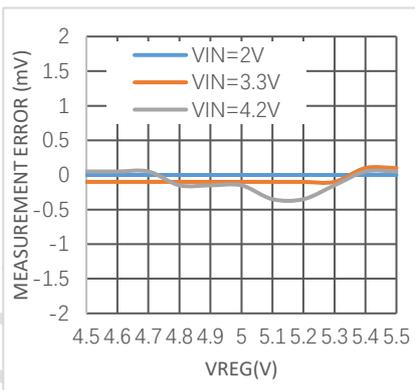
测量误差与输入电压的关系
快速模式



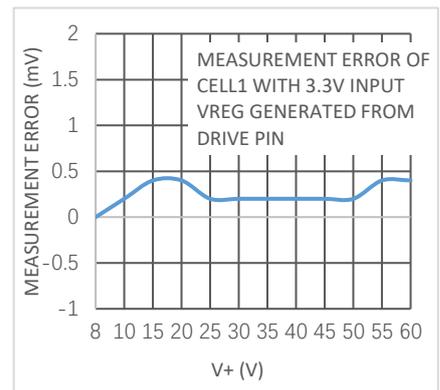
测量误差与温度的关系



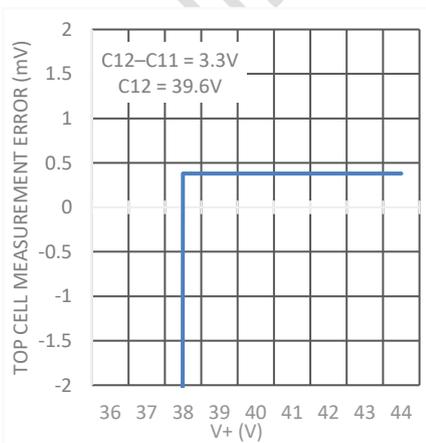
测量误差与 V_{REG} 的关系



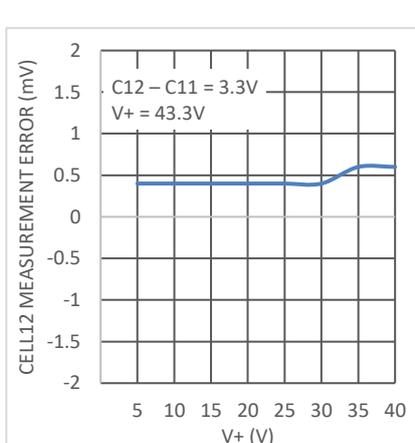
测量误差与 V+ 的关系



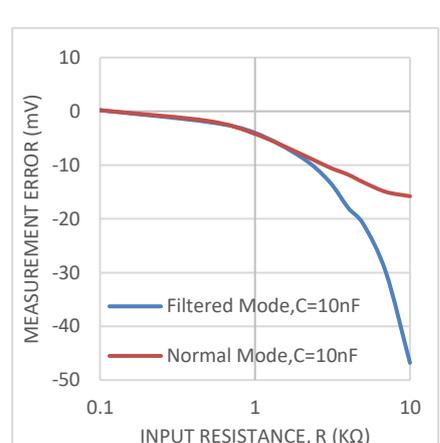
顶端电池测量误差与 V+ 的关系



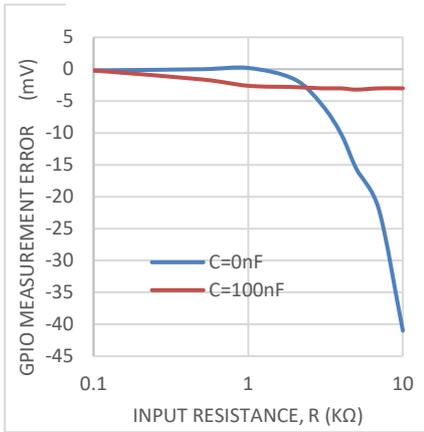
电池测量误差与共模电压的关系



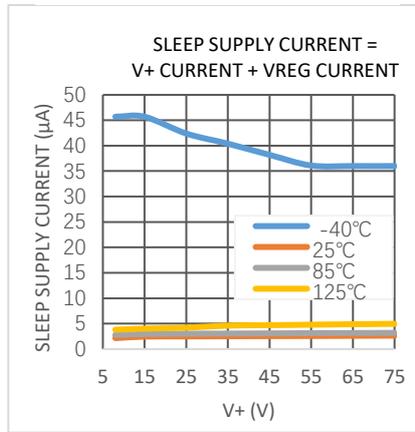
电池测量误差与输入 RC 值的关系



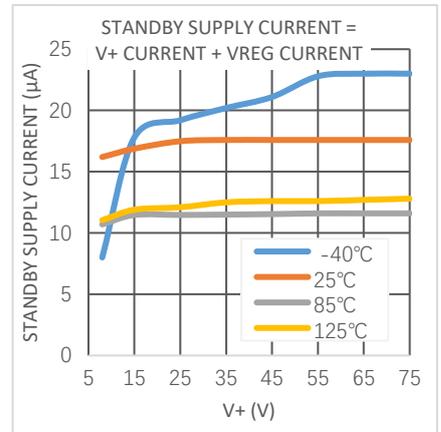
GPIO 测量误差与输入 RC 值的关系



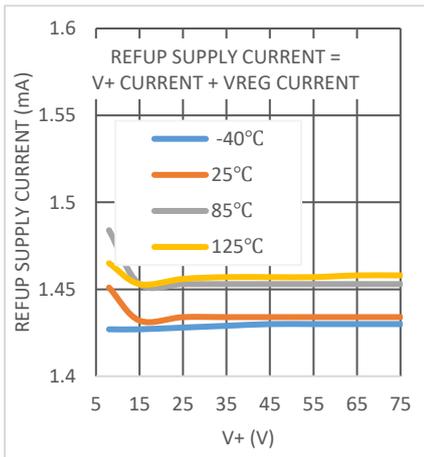
睡眠电源电流与 V+ 的关系



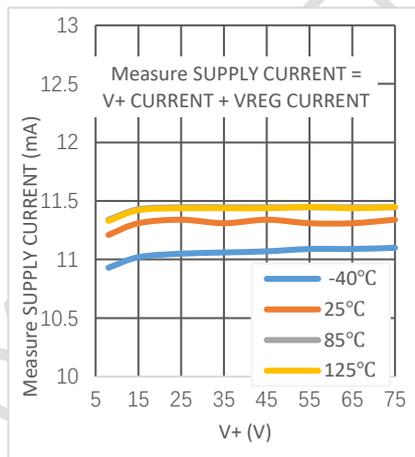
待机电源电流与 V+ 的关系



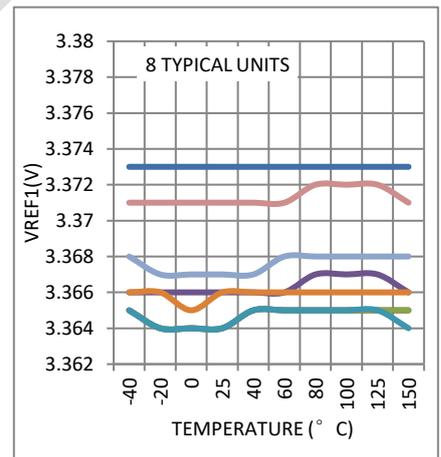
REFUP 电源电流与 V+ 的关系



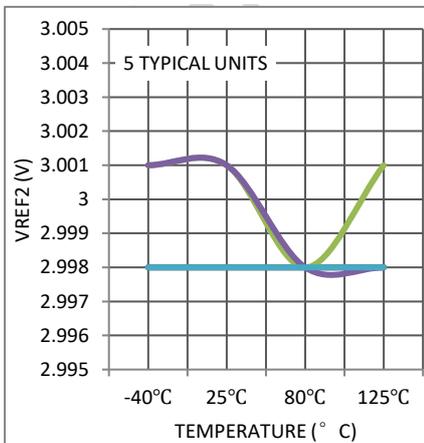
测量模式电源电流与 V+ 的关系



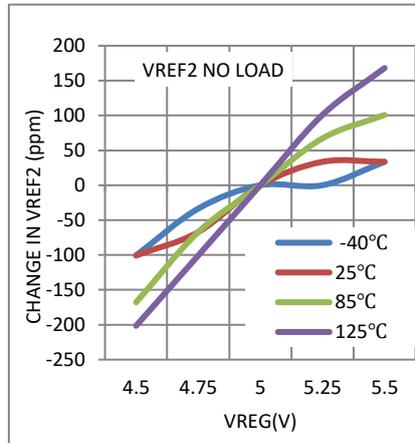
VREF1 与温度的关系



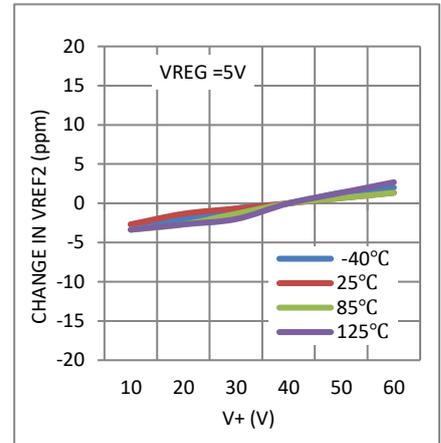
VREF2 与温度的关系



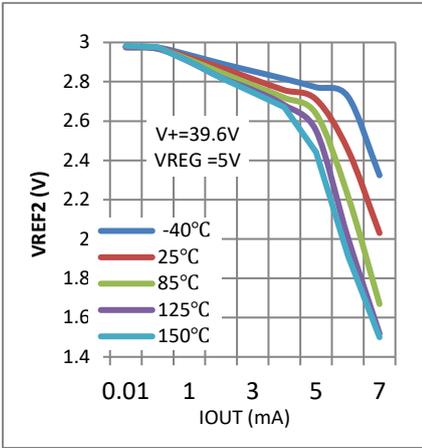
VREF2 负载调节特性



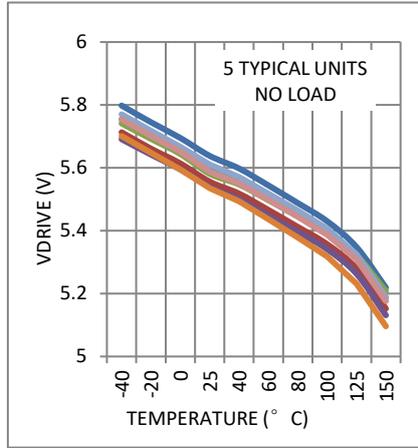
VREF2 V+ 电压调节特性



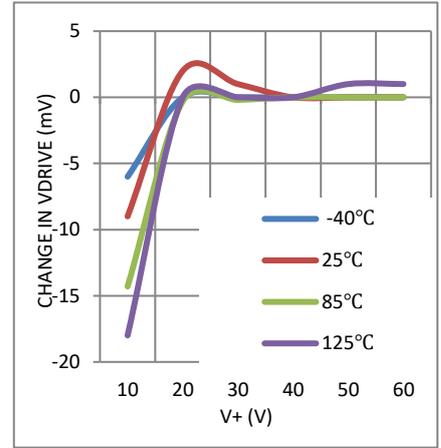
V_{REF2} V_{REG} 负载调节特性



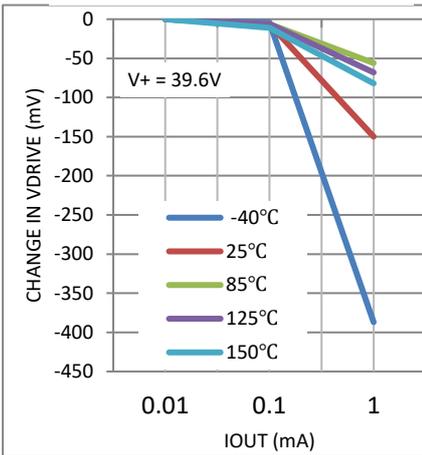
V_{DRIVE} 与温度关系



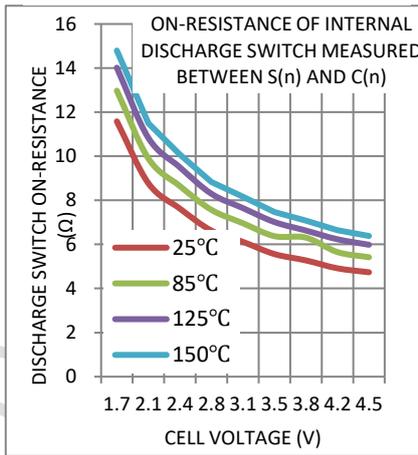
V_{DRIVE} 引脚电压 $V+$ 调节特性



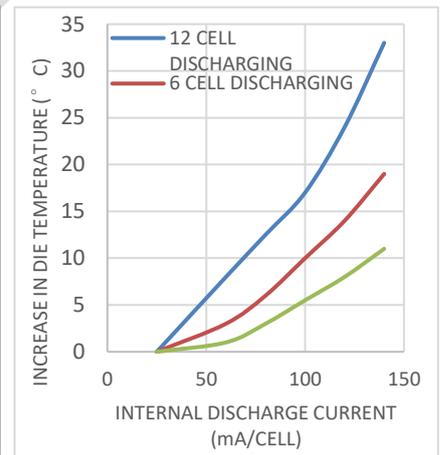
V_{DRIVE} 负载调节特性



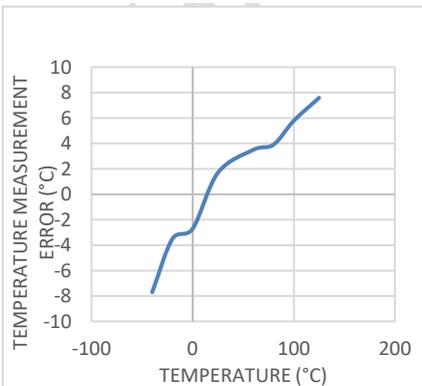
放电开关导通电阻与电池电压的关系



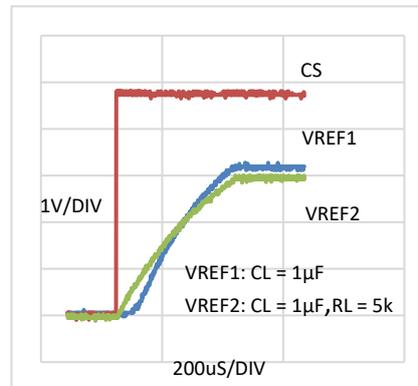
内部芯片温度增加与放电电流的关系



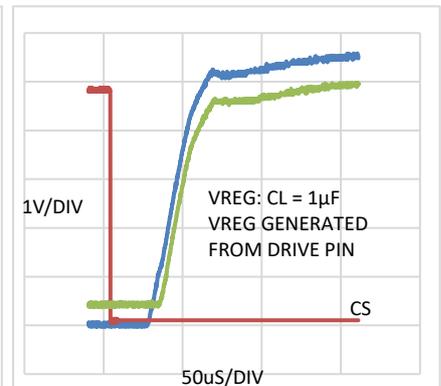
内部芯片温度测量误差与温度的关系



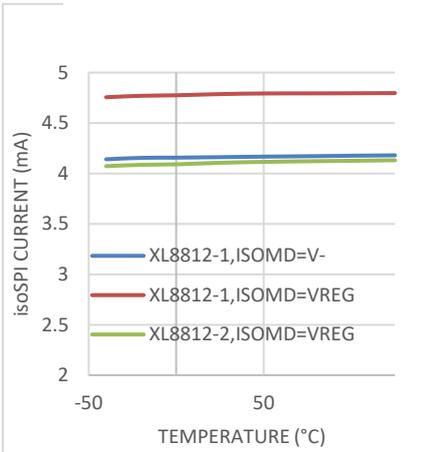
V_{REF1} 与 V_{REF2} 上电关系



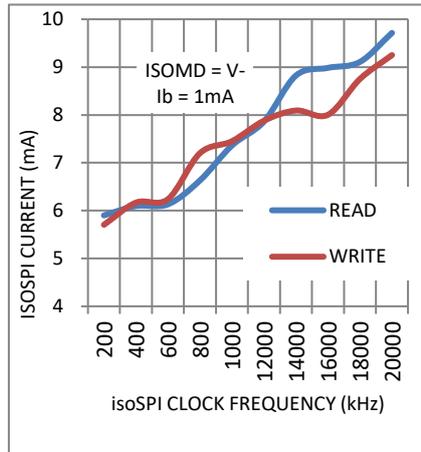
V_{REG} 与 V_{DRIVE} 上电关系



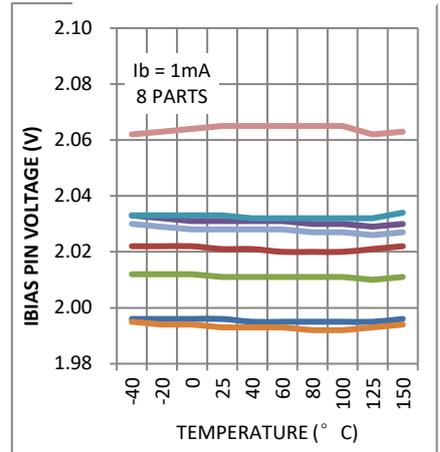
isoSPI 电流 (READY)与温度关系



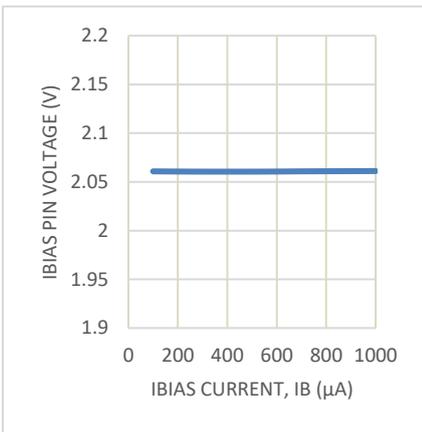
isoSPI 电流 (ACTIVE)与时钟频率关系



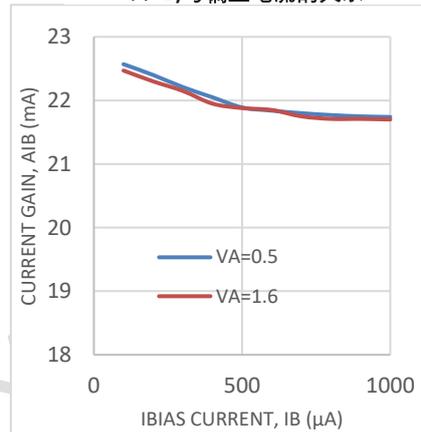
I_{BIAS} 电压与温度的关系



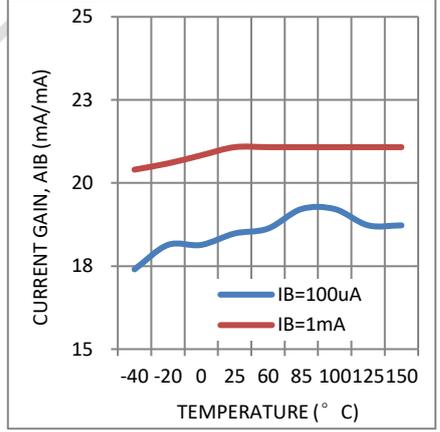
I_{BIAS} 电压负载调节



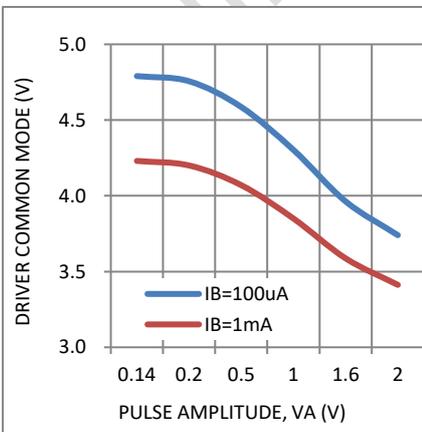
isoSPI 驱动器电流增益(端口 A / 端口 B)与偏置电流的关系



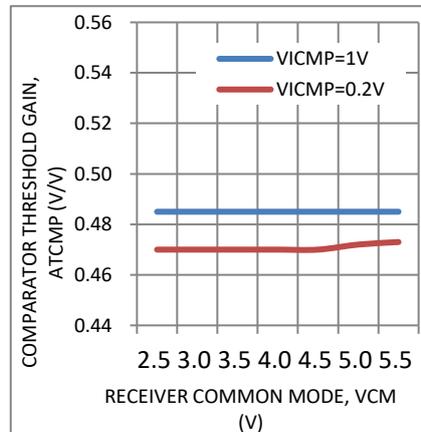
isoSPI 驱动器电流增益 (端口 A / 端口 B)与温度的关系



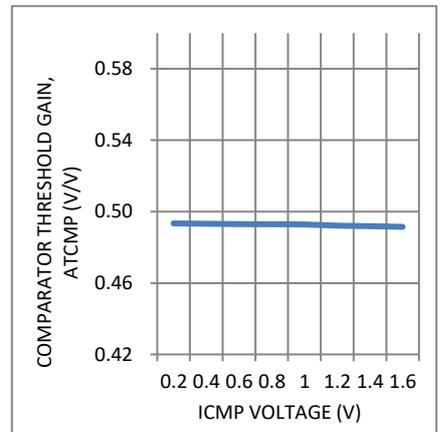
isoSPI 驱动器共模电压 (端口 A / 端口 B)与脉冲幅度的关系



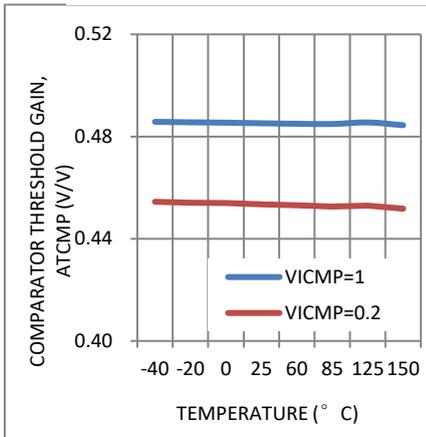
isoSPI 比较器门限增益 (端口 A / 端口 B)与 I_{BIAS} 电流的关系



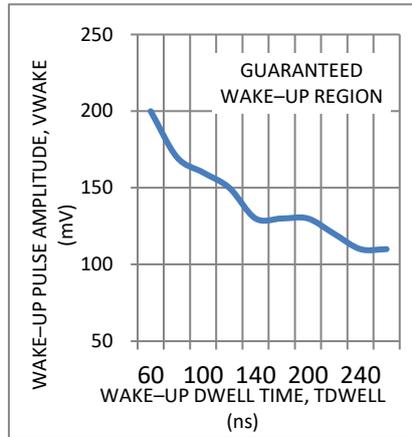
isoSPI 比较器门限增益 (端口 A / 端口 B)与 I_{CMP} 电压的关系



isoSPI 比较器门限增益
(端口 A/端口 B)
与温度的关系



典型唤醒脉冲幅度 (端口 A)
与停留时间的关系



CHIPWAYS CONFIDENTIAL

工作原理

XL8812 工作状态

XL8812的操作分为两个独立的部分：CORE电路和isoSPI电路。这两个选项都有一组独立的操作状态和休眠机制，具体工作状态可以参照图1。

CORE 电路工作状态描述

SLEEP 状态

参考源和 ADC 已断电。看门狗计时器（请参阅看门狗和均衡放电计时器）已超时。均衡放电计时器已禁用或超时。电源电流降低到最低水平。isoSPI 端口将处于空闲状态。驱动 Drive 管脚电平为 0V。如果接收到唤醒信号（参见唤醒串行接口），XL8812 将进入待机状态。

STANDBY 状态

参考源和 ADC 关闭，看门狗定时器和/或均衡放电定时器正在运行。驱动引脚通过外部晶体管将 V_{REG} 引脚供电至 5V。（或者，V_{REG} 可以由外部电源供电）。

当接收到有效的 ADC 命令或配置寄存器组中的 REFON bit 位设置为 1 时，芯片将启动参考源，参考源启动时间为 t_{REFUP}。然后进入 REFUP 或 MEASURE 状态。否则，如果在 t_{SLEEP} 时间内没有收到有效命令，XL8812 将返回睡眠状态（当均衡放电计时器被禁用 DTEN=0 时），或者进入 EXTENDED BALANCING 状态（当均衡放电定时器启用 DTEN=1 时）。

REFUP 状态

为了达到这种状态，配置中的 REFON bit 位寄存器必须设置为 1（使用 WRCFGA 命令，见表 38）。ADC 关闭。参考源已就绪，因此 XL8812 可以比从待机状态更快地启动 ADC 转换。当接收到有效的 ADC 命令时，芯片进入测量状态以开始数据转换。否则，当 REFON bit 位设置为 0 时（使用 WRCFGA 命令），XL8812 将返回 STANDBY 状态。如果在 t_{SLEEP} 时间内没有收到有效命令，当 DTEN=0 时，芯片进入 SLEEP 状态；或者当 DTEN=1 时，芯片进入 EXTENDED BALANCING 状态。

MEASURE 状态

XL8812 在此状态下执行 ADC 转换，参考源和 ADC 已经进入工作状态。ADC 转换完成后，XL8812 将根据 REFON bit 位配置情况转换为 REFUP 或 STANDBY 状态。通过设置 REFON=1 可以更快地启动 ADC 转换。（*Note: 非 ADC 命令不能促使 CORE 电路工作状态转换，只有 ADC 转换或诊断命令才能使 CORE 电路进入 MEASURE 状态。*）

EXTEND BALANCE 扩展均衡状态

看门狗定时器已超时，但是均衡放电定时器还未超时 ($DTEN=1$)，这时芯片进行均衡放电。假如收到 WAKEUP 信号，芯片将进入 STANDBY 状态。当均衡放电计时器结束，芯片进入 SLEEP 状态。

isoSPI 状态描述 *Note1*
IDLE 状态

该状态下，isoSPI 端口处于断电状态。当 isoSPI 端口 A 接收到唤醒信号（请参阅唤醒串行接口章节）时，isoSPI 进入 READY 状态。这时如果 CORE 电路处于 STANDBY 状态（这时 DRIVE 和 V_{REG} 管脚已经偏置起来），则两种状态转换时间会很短（在 t_{READY} 之内）。但如果 CORE 电路处于睡眠状态，状态转换时间将相对较长（在 t_{WAKE} 之内）。

READY 状态

isoSPI 端口处于通信就绪状态。在此状态下，只有 XL8812-1 端口 B 被使能。串行端口功耗根据 XL8812-1 或 XL8812-2、ISOMD 引脚配置以及 IBIAS 引脚对地阻抗 (R_{BIAS}) 不同而不同。如果在端口 A 上没有动作的持续时间超过 $t_{IDLE} = 5.5ms$ (即：无 WAKEUP 信号)，则 XL8812 进入 IDLE 状态。当串行接口开始发送或接收数据时，XL8812 切入到 ACTIVE 状态。可参照图？

ACTIVE 状态

XL8812 采用一个或两个 isoSPI 端口来发送/接收数据。串行接口在该状态中消耗最大的电流。而且消耗电流将随时钟频率而增大，因为 isoSPI 脉冲的密度随时钟频率增大而增加

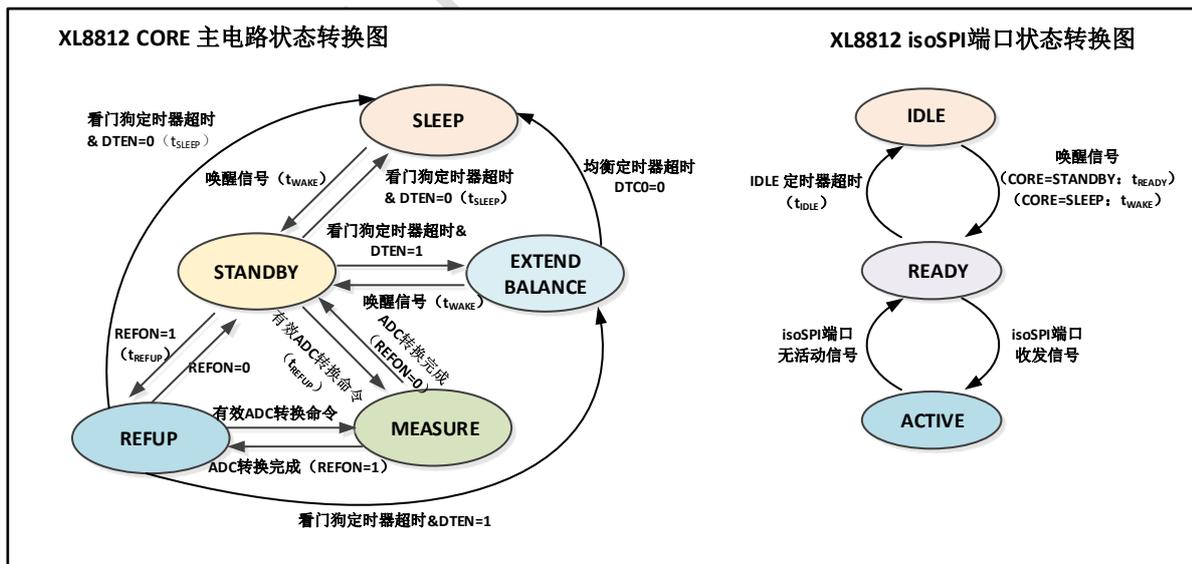


图1. XL8812 工作状态图

芯片功耗

XL8812 通过 V+ 和 V_{REG} 两个管脚供电。V+ 给 CORE 电路高压部分供电，V+ 电压必须大于等于最高节电池电压减 0.3V。V_{REG} 为 CORE 电路的低压部分和 isoSPI 端口电路供电，V_{REG} 可以由 DRIVE 管脚驱动外部 NPN 管为其供电。也可以由外部电源为其供电。V_{REG} 需要 5V 电源。

XL8812 功耗随芯片工作状态而变化。表 1 和表 2 是芯片在各个状态下的近似电流。V+ 引脚电流和 CORE 电路状态相关。而 V_{REG} 电流会和 CORE 电路状态和 isoSPI 端口电路状态同时相关。isoSPI 端口电路只从 V_{REG} 引脚取电。

$$I_{REG} = I_{REG (CORE)} + I_{REG (isoSPI)}$$

表 1. Core 电路功耗

状态		I _{VP}	I _{REG (CORE)}
SLEEP	V _{REG} =0V	5uA	0uA
	V _{REG} =5V	1.9uA	2.2uA
STANDBY		13uA	40uA
REFUP		550uA	450uA
MEASURE		550uA	11.5mA

在 SLEEP 状态下，如果 V_{REG} 引脚由外部电源供电，V_{REG} 引脚将吸收 2.2uA 电流。否则，这部分电流将由 V+ 提供。

表 2. isoSPI 供电等式

isoSPI 状态	型号	ISOMD 连接	I _{REG (isoSPI)}
IDLE	XL8812-1/XL8812-2	N/A	0mA
READY	XL8812-1	V _{REG}	2.2mA + 3 • I _B
		V-	1.5mA + 3 • I _B
	XL8812-2	V _{REG}	1.5mA + 3 • I _B
		V-	0mA
ACTIVE	XL8812-1	V _{REG}	写: 2.5mA + (3 + 20 • 100ns/t _{CLK}) • I _B 读: 2.5mA + (3 + 20 • 100ns • 1.5/t _{CLK}) • I _B
		V-	1.8mA + (3 + 20 • 100ns/t _{CLK}) • I _B
	XL8812-2	V _{REG}	写: 1.8mA + 3 • I _B 读: 1.8mA + (3 + 20 • 100ns • 0.5/t _{CLK}) • I _B
		V-	0mA

Note1: (I_B = V_{BIAS} / (R_{B1} + R_{B2})), XL8812-1 有两个 isoSPI 端口 (A 和 B), 用于菊花链通讯。XL8812 只有一个 isoSPI 端口 (A), 用于平行的寻址通讯。

ADC OPERATION

XL8812 的内部有两个 ADC。当测量 12 个电池时这两个 ADC 同时运作。只有一个 ADC 用于测量 GPIO 输入端口。下面的讨论使用 ADC 一词来指两个 ADC 中的一个或两个 (视执行的操作而定)。当需要区分两个电路时 (比如在时序图中), 下面的讨论将采用 ADC1 和 ADC2 进行指代。

ADC Modes

配置寄存器组中的 ADCOPT 位 (CFGRO[0]) 和转换命令中的模式选择位 MD[1:0], 可以配置 8 种 ADC 操作模式, 其对应于不同的过采样比 (OSR)。表 3 汇总了这些模式的准确度。在每种模式中, ADC 首先对输入量进行测量, 然后对每个通道进行校准。模式的名称基于 ADC 测量的 -3dB 带宽。

Mode 7kHz (Normal):

在该模式中, ADC 具有高分辨率和低 TME (总测量误差)。因为它实现了速度与准确度的最优组合而被视为标准操作模式。

Mode 27kHz (Fast):

在该模式中, ADC 具有最大的转换速度, 但 TME (总测量误差) 略有增加。因此这种模式也被称为快速模式。速度的提高源自于过采样比的下降。这将导致噪声和平均测量误差的增加。

Mode 26Hz (Filtered):

在该模式中, 通过增加 OSR 将 ADC 数字滤波器 -3dB 频率降低至 26Hz。该模式由于其低的 -3dB 频率的原因也被称为滤波模式。其准确度类似于具有较低噪声的 7kHz (标准) 模式。

Modes 14kHz, 3kHz, 2kHz, 1kHz and 422Hz:

14kHz, 3kHz, 2kHz, 1kHz and 422Hz 模式提供了用于将 ADC 数字滤波器 -3dB 频率分别设定在 13.5kHz, 3.4kHz, 1.7kHz, 845Hz and 422Hz 的额外选项。14kHz 模式的准确度类似于 27kHz (快速) 模式。3kHz, 2kHz, 1kHz and 422Hz 模式的准确度类似于 7kHz (标准) 模式。

这些模式的转换时间列于表 2 和表 5。如果内核处于 STANDBY 状态, 则需一个附加的 t_{REFUP} 等待时间以在 ADC 转换开始之前启动基准源。可以通过配置寄存器组的 REFON bit 为 1, 使基准源启动后一直处于开启状态, 这样除第一次启动基准源会延时 t_{REFUP} 时间外, 后面的 ADC 转换都不用等待基准源启动了。

表 3. ADC 滤波器带宽和精度

MODE	-3dB FILTER BW	-40dB FILTER BW	TME SPEC AT 3.3V, 25°C	TME SPEC AT 3.3V, -40°C, 125°C
27kHz (Fast Mode)	27kHz	84kHz	±4.7mV	±4.7mV
14kHz	13.5kHz	42kHz	±4.7mV	±4.7mV
7KHz (Normal Mode)	6.8kHz	21kHz	±1.2mV	±2.2mV
3kHz	3.4kHz	10.5kHz	±1.2mV	±2.2mV
2kHz	1.7kHz	5.3kHz	±1.2mV	±2.2mV
1kHz	845Hz	2.6kHz	±1.2mV	±2.2mV
422Hz	422Hz	1.3kHz	±1.2mV	±2.2mV

26Hz (Filtered Mode)	26Hz	82Hz	±1.2mV	±2.2mV
----------------------	------	------	--------	--------

Note: TME 为总测量误差

ADC 范围和分辨率

Cell 通道和 GPIO 通道具有相同的测量范围和分辨率。XL8812 内部的 ADC 实际测量范围约为 -0.82V 至 5.73V。实际数据负数被取整至 0V。数据的格式为 16 位无符号整数，LSB 为 100 μ V。因此，一个 0x80E8 (十进制为 33,000)的读数表示一个 3.3V 的测量值。

$\Delta\Sigma$ ADC 具有与输入电压相关的量化噪声，特别是在低过采样比 (OSR) 条件下，例如：在快速模式中。在某些 ADC 模式中，当输入电压接近 ADC 范围的上限和下限时，量化噪声也会增加。本产品 ADC 的规定输入范围为 0V 至 5V。在表 4 中，ADC 的精准转换范围被定义为 0.5V 至 4.5V，在这个范围内，即使对较低 OSR 模式，量化噪声都将相对恒定(见图 2)。表 4 汇总了该范围中的总噪声 (对于所有 8 种 ADC 操作模式)。另外，表中还给出了无噪声分辨率。例如：标准模式中的 14 位无噪声分辨率意味着，对于一个 DC 输入，高位的 14 位将是无噪声的，但第 15 和 第 16 位有效位 (LSB) 将会跳动。

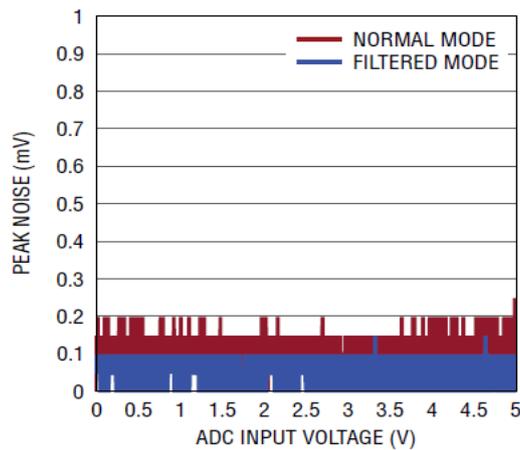


图2. 量化噪声对输入电压

表 4. ADC 范围和分辨率

MODE	FULL RANGE1	SPECIFIED RANGE	PRECISION RANGE2	LSB	FORMAT	MAX NOISE	NOISE FREE RESOLUTION
27kHz (fast)	-0.8192V to 5.7344V	0V to 5V	0.5V to 4.5V	100 μ V	Unsigned 16 Bits	±4mVP-P	10 Bits
14kHz						±1mVP-P	12 Bits
7kHz (normal)						±250 μ VP-P	14 Bits
3kHz						±150 μ VP-P	14 Bits
2kHz						±100 μ VP-P	15 Bits
1kHz						±100 μ VP-P	15 Bits

422Hz						$\pm 100\mu\text{VP-P}$	15 Bits
26Hz (filtered)						$\pm 50\mu\text{VP-P}$	16 Bits

Note:

1. 负数归整到0伏。
2. 精准测量范围是指该范围内噪声小于最大噪声 (MAX NOISE)。
3. 无噪声分辨率是指测量精度范围内的噪声水平。

ADC 范围与电压参考值

典型 ADC 输入范围一般为电压基准值的两倍，而且 ADC 测量误差与电压基准中的误差成正比。XL8812 的 ADC 不是典型的 ADC。 V_{REF1} 的绝对值被调高或调低以补偿 ADC 中的增益误差。于是，ADC 总测量误差 (TME) 规格优于 V_{REF1} 指标。例如：当在 7kHz (标准) 模式中测量 3.300V 时，总测量误差的 25°C 规格值为 $\pm 1.2\text{mV}$ ，而 V_{REF1} 的 25°C 规格值则为 $3.200\text{V} \pm 100\text{mV}$ 。

电池电压测量 (ADCV 命令)

ADCV 命令用于启动对电池输入 (引脚 C0 至 C12) 的测量。该命令具有用于选择测量通道数目和 ADC 模式的选项。见有关“命令”的章节以了解 ADCV 命令格式。

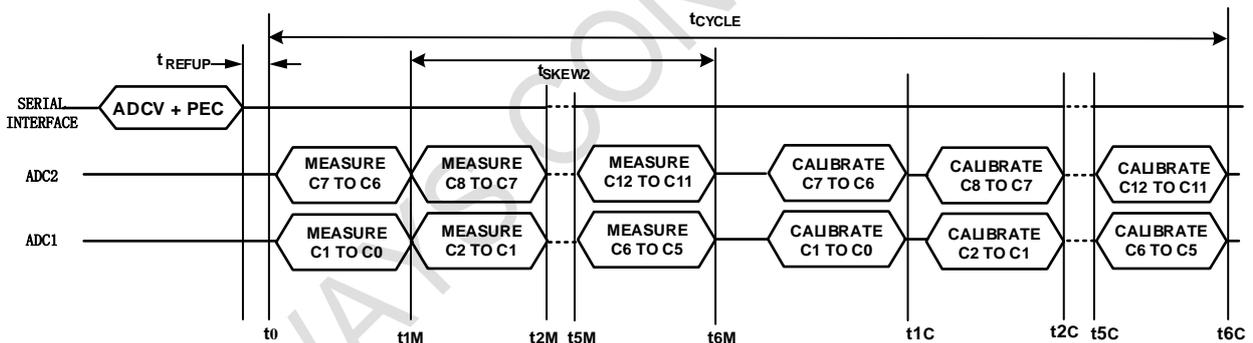


图3. ADCV命令测量12节电池的时序

图 3 示出了用于测量所有 12 节电池的 ADCV 命令的时序。在接收到测量所有 12 节电池的 ADCV 命令之后，ADC1 顺序测量上部的 6 节电池，而 ADC2 则顺序测量下部的 6 节电池。在电池测量完成之后，对每个通道进行 offset 校准。

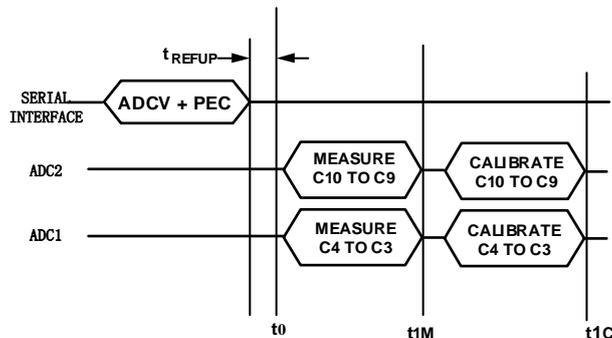


图 4. ADCV 命令测量 2 节电池的时序图

图 4 是测量两节电池的时序示意图

表 5 列出了负责测量所有 12 节电池之 ADCV 命令的转换时间。总转换时间由 t_{6c} 给出，其标示着校准过程的结束。

表5. 不同模式下ADCV命令测量所有12节电池的转换时间

MODE	CONVERSION TIMES (in μs)								
	t_0	t_{1M}	t_{2M}	t_{5M}	t_{6M}	t_{1c}	t_{2c}	t_{5c}	t_{6c}
27kHz	0	45	87	210	251	383	511	893	1,021
14kHz	0	75	144	354	424	556	684	1,066	1,194
7kHz	0	132	260	642	770	1017	1260	1,988	2,231
3kHz	0	247	490	1,218	1,461	1,709	1,951	2,679	2,922
2kHz	0	478	951	2,370	2,843	3,091	3,333	4,062	4,304
1kHz	0	939	1,872	4,674	5,608	5,856	6,098	6,826	7,069
422Hz	0	1,860	3,716	9,282	11,138	11,385	11,628	12,356	12,599
26Hz	0	29,508	59,012	147,522	177,025	180,729	188,427	195,524	199,223

表 6 是测量 2 节电池的转换时间。 t_{1c} 代表该命令总的转换时间。

表6. 不同模式下测量2节电池的转换时间

MODE	CONVERSION TIMES (in μs)		
	t_0	t_{1M}	t_{1c}
27kHz	0	46	178
14kHz	0	75	207
7kHz	0	132	380
3kHz	0	247	495
2kHz	0	478	725
1kHz	0	939	1,186
422Hz	0	1,860	2,108
26Hz	0	29,508	33,212

欠压 / 过压监视

当测量 Cell 输入时，XL8812 会将测量结果与存储器中存储的欠压和过压门限进行比较。如果电池电压的测量读数高于过压限值，则在存储器中设定过压标记。同样，低于欠压门限的测量结果也会导致设定一个标记。过压和欠压门限存储在配置寄存器组中。标记则存储于状态寄存器组 B 之中。

GPIO 测量 (ADAX 命令)

ADAX 命令用于启动 GPIO 输入的测量。该命令具有用于选择要测量的 GPIO 输入 (GPIO1-5) 及 ADC 模式的选项。另外，ADAX 命令还负责测量第二基准。在 ADAX 命令中有单独测量每个 GPIO 和第二基准或者在单个命令周期中测量所有 5 个 GPIO 和第二基准的选项。见有关“命令”的章节以了解 ADAX 命令格式。所有的测量均相对于 V- 引脚电压。通过把温度传感器连接至 GPIO，该命令可用于读取外部温度。这些传感器可以采用同样由 ADAX 命令进行测量的第二基准来供电，从而获得精准的比例式测量结果。

图 5 为 ADAX 命令时序示意图。由于所有的 6 项测量均由 ADC1 单独完成，因此 ADAX 命令的转换

时间与 ADCV 命令的转换相近。

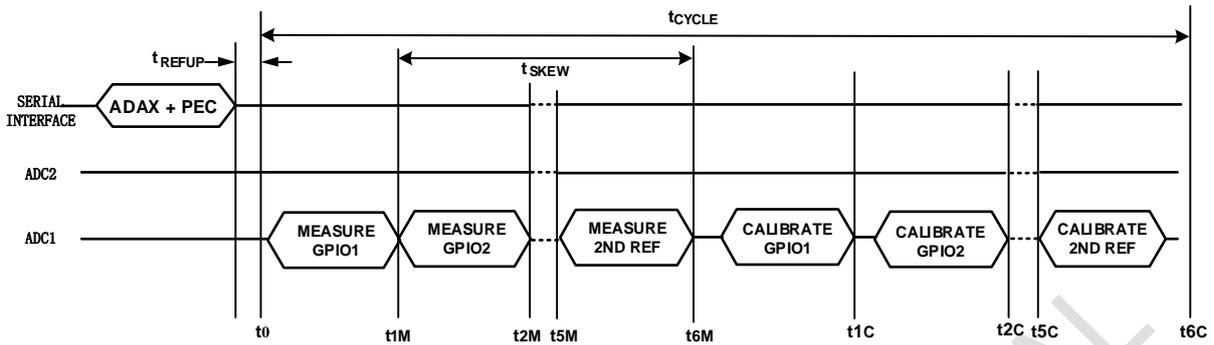


图 5. ADAX 命令测量所有 GPIO 和第二参考源的时序图

表 7 为 ADAX 命令在各种模式下的转换时间。

表7. 不同模式下ADAX命令测量GPIO和第二基准的转换时间

MODE	CONVERSION TIMES (in μs)								
	t_0	t_{1M}	t_{2M}	t_{5M}	t_{6M}	t_{1C}	t_{2C}	t_{5C}	t_{6C}
27kHz	0	45	87	210	251	383	511	893	1,021
14kHz	0	75	144	354	424	556	684	1,066	1,194
7kHz	0	132	260	642	770	1017	1260	1,988	2,231
3kHz	0	247	490	1,218	1,461	1,709	1,951	2,679	2,922
2kHz	0	478	951	2,370	2,843	3,091	3,333	4,062	4,304
1kHz	0	939	1,872	4,674	5,608	5,856	6,098	6,826	7,069
422Hz	0	1,860	3,716	9,282	11,138	11,385	11,628	12,356	12,599
26Hz	0	29,508	59,012	147,522	177,025	180,729	188,427	195,524	199,223

GPIO 通道数字冗余检测 (ADAXD 命令)

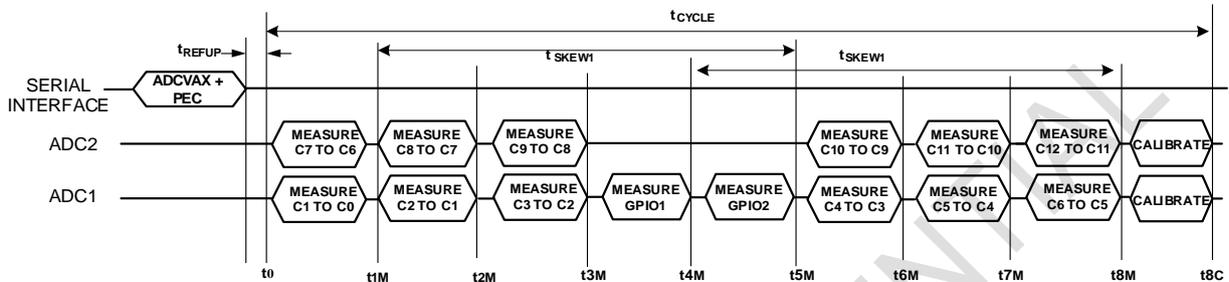
ADAXD 命令的操作与 ADAX 命令类似。为了诊断数字滤波器的工作是否正常，XL8812 通过集成的 2 个数字滤波器同时对 ADC1 的模拟调制器的输出同时做滤波处理。然后比较两个滤波器处理结果，如果出现任何不匹配，则将 0XFF0X ($\geq 6.528v$) 的值写入结果寄存器。该值超出 ADC 的正常输出范围，主机应将其识别为故障指示。最后四位用于指示结果值的哪个半字节不匹配。ADAXD 命令执行时间和 ADAX 相同。

数字冗余故障码指示

DIGITAL REDUNDANCY FAULT CODE 4 LSBs	INDICATION
0b0XXX	未检测到故障 bits15-12
0b1XXX	检测到故障 bits 15-12
0bX0XX	未检测到故障 bits 11-8
0bX1XX	检测到故障 bits 11-8
0bXX0X	未检测到故障 bits 7-4
0bXX1X	检测到故障 bits 7-4
0bXXX0	未检测到故障 bits 3-0
0bXXX1	检测到故障 bits 3-0
0b000	数字冗余功能不会在最后4位写入所有零的值

电池电压和 GPIO 组合测量 (ADCVAX 命令)

ADCVAX 命令组合了 12 节电池测量与两个 GPIO 测量(GPIO1 和 GPIO2)。当电流传感器连接至 GPIO1 和 GPIO2 输入时, 该命令用于电池电压和电流的同步测量。图 6 为该命令时序示意图。命令格式见命令章节。在快速模式中, 电流和电压测量的同步时间差 t_{SKEW1} 在 194us 之内。ADCVAX 命令在不同模式下转换时间和同步时间差如表 8。 t_{8C} 为命令总的转换时间。


图 6. ADCVAX 命令时序图
表8.不同模式下ADCVAX命令的转换和同步时间差

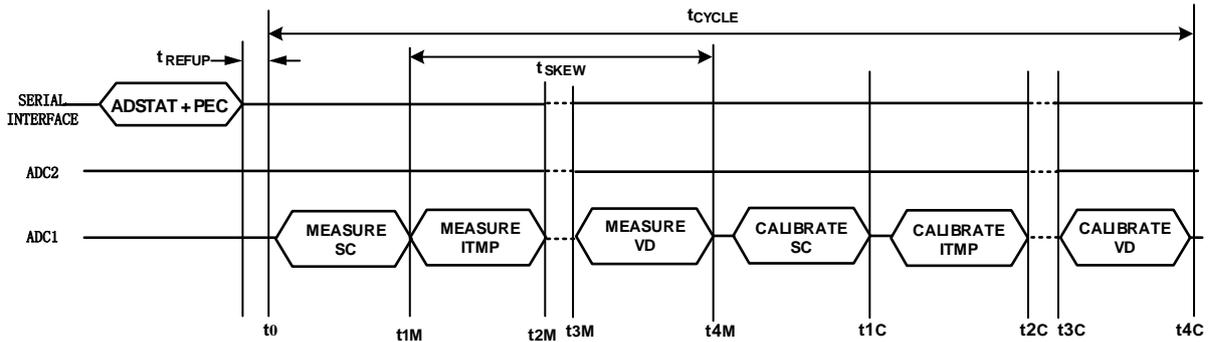
MODE	CONVERSION TIMES (in μs)										SYNCHRONIZATION TIME (in μs)
	t_0	t_{1M}	t_{2M}	t_{3M}	t_{4M}	t_{5M}	t_{6M}	t_{7M}	t_{8M}	t_{8C}	t_{SKEW1}
27kHz	0	46	87	128	173	215	261	302	343	1,368	169
14kHz	0	75	144	214	289	359	434	504	574	1,599	284
7kHz	0	132	259	386	519	647	779	906	1,035	2,981	515
3kHz	0	247	490	732	978	1,223	1,470	1,713	1,956	3,902	976
2kHz	0	477	951	1,424	1,902	2,375	2,853	3,326	3,799	5,745	1,898
1kHz	0	939	1,872	2,806	3,745	4,679	5,617	6,552	7,485	9,432	3,740
422Hz	0	1,860	3,715	5,571	7,432	9,287	11,148	13,003	14,858	16,805	7,427
26Hz	0	29,508	59,012	88,514	118,023	147,527	177,035	206,539	236,042	265,637	118,019

数据采集系统诊断

本电池监控数据采集系统由多路转换器 (multiplexers), ADCs, 参考源 (第一参考源), 数字滤波器和存储器组成。为了保证系统性能长期工作的可靠性, XL8812 集成了多种诊断命令用以检测这些电路工作的正确性。

内部电路模块参数测量 (ADSTAT 命令)

诊断命令 ADSTAT 用以测量以下内部模块参数: 监控电池总电压 (SC), 芯片内部温度 (ITMP), 模拟电路电源 (VA) 和数字电路电源 (VD)。以下章节将对这些参数做进一步描述。前面提到的 8 种 ADC 工作模式同样适用于 ADSTAT 命令。命令格式参考命令章节。图 7 为该命令时序图。表 9 为该命令在各种模式下的转换时间。


图 7. ADSTAT 命令测量 SC, ITMP, VA, VD 的时序图

CONVERSION TIMES (in μs)									
MODE	t_0	t_{1M}	t_{2M}	t_{3M}	t_{4M}	t_{1C}	t_{2C}	t_{3C}	t_{4C}
27kHz	0	46	87	128	169	301	429	556	684
14kHz	0	75	144	214	284	417	544	672	799
7kHz	0	132	260	387	515	762	1,005	1,248	1,490
3kHz	0	248	490	733	975	1,223	1,467	1,709	1,951
2kHz	0	478	951	1,424	1,897	2,145	2,388	2,630	2,873
1kHz	0	939	1,872	2,806	3,740	3,989	4,230	4,473	4,716
422Hz	0	1,860	3,716	5,571	7,427	7,674	7,917	8,160	8,402
26Hz	0	29,508	59,012	88,515	118,019	121,722	125,421	129,120	132,818

电池总电压测量: XL8812 通过测量 C12 和 C0 之间电压的 20:1 分压输出来测量电池总电压, 16 位 ADC 测量结果 (SC) 存储于状态寄存器 Group A。测量时需要保持 C0 和 V- 处于同电位, 否则会造成测量不准确。电池总电压由以下公式算出:

$$\text{电池总电压} = \text{SC} * 20 * 100\text{mV}$$

芯片内部温度: ADSTAT 命令可以用以测量芯片内部温度, 16 位 ADC 测量结果 (ITMP) 存储于状态寄存器 Group A。芯片内部温度通过以下公式进行计算:

$$\text{芯片内部温度}(\text{°C}) = (\text{ITMP} * 100\text{uV} / 6.8\text{mV}) \text{°C} - 273 \text{°C}$$

电源电压测量: ADSTAT 命令也可以用以测量芯片模拟电路电源 (V_{REG}) 电压和数字电路电源 (V_{REGD}) 电压。模拟电源 16 位 ADC 测量值 (VA) 存放于状态寄存器 Group A, 数字电源 16 位 ADC 测量值 (VD) 存放于状态寄存器 Group B。通过 VA 和 VD 可以计算电源电压值:

$$\begin{aligned} \text{模拟电源电压 } V_{\text{REG}} &= \text{VA} * 100\text{uV} \\ \text{数字电源电压 } V_{\text{REGD}} &= \text{VD} * 100\text{uV} \end{aligned}$$

V_{REG} 值由外部器件决定, 电压应保持在 4.5V 到 5.5V 之间以保证系统测量精度。 V_{REGD} 的值由内部电路决定, 正常范围在 4.5V 到 5.5V 之间。

内部参数数字冗余检测 (ADSTATD 命令)

ADSTATD 命令的操作与 ADSTAT 命令类似。和 ADAXD 命令一样, 在 ADC1 测量内部模块参数时, XL8812 通过集成的 2 个数字滤波器对 ADC1 的模拟调制器的输出同时做冗余滤波处理。然后比较两个滤波器处理

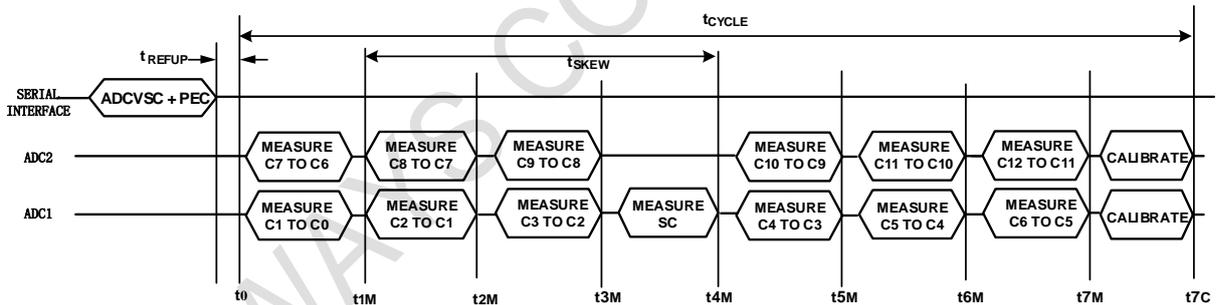
结果，如果出现任何不匹配，则将 0XFF0X ($\geq 6.528v$) 的值写入结果寄存器。该值超出 ADC 的正常输出范围，主机应将其识别为故障指示。最后四位用于指示结果值的哪个半字节不匹配。ADSTAT 命令执行时间和 ADSTAT 相同。

数字冗余故障码指示

数字冗余故障码4LSBs	指示
0b0XXX	未检测到故障bits15-12
0b1XXX	检测到故障bits15-12
0bX0XX	未检测到故障bits 11-8
0bX1XX	检测到故障bits 11-8
0bXX0X	未检测到故障bits s 7-4
0bXX1X	检测到故障bitsts 7-4
0bXXX0	未检测到故障bits 3-0
0bXXX1	检测到故障bits 3-0
0b000	数字冗余功能不会在最后4位写入所有零的值

单节电池和总电池电压组合测量 (ADCVSC 命令)

ADCVSC 命令组合测量 12 节电池电压和电池组总电压 (SC)。该命令简化了单节电池电压和电池组电压的同步测试。图 8 为该命令的时序图。命令格式参见命令章节。快速模式下，单节电池和电池组总电压同步测量时间差 t_{SKEW} 小于 159us。表 10 为该命令在各种模式下同步测量时间差和转换时间。 t_{7c} 为命令总的转换时间。


图 8. ADCVSC 命令测量 12 节电池和电池组总电压 SC 的时序图
表10. 不同模式下ADCVSC命令转换和同步时间差

MODE	CONVERSION TIMES (in μs)									SYNCHRONIZATION TIME (in μs)
	t_0	t_{1M}	t_{2M}	t_{3M}	t_{4M}	t_{5M}	t_{6M}	t_{7M}	t_{7c}	t_{SKEW}
27kHz	0	46	87	128	173	215	261	302	1,200	127
14kHz	0	75	144	214	289	359	434	504	1,400	214
7kHz	0	132	259	386	519	647	779	906	2,610	387
3kHz	0	247	490	732	978	1,223	1,470	1,713	3,417	731
2kHz	0	477	951	1,424	1,902	2,375	2,853	3,326	5,030	1,425
1kHz	0	939	1,872	2,806	3,745	4,679	5,617	6,551	8,255	2,806
422Hz	0	1,860	3,715	5,571	7,432	9,287	11,148	13,003	14,706	5,572
26Hz	0	29,508	59,012	88,514	118,023	147,527	177,035	206,539	232,434	88,515

电池交叠测量(ADOL 命令)

ADOL 命令同时用 ADC1 和 ADC2 测量第 7 节电池。主机可以将两个 ADC 的结果相互比较，以诊断测量可能出现的故障。来自 ADC2 的结果放在 Cell Voltage Register Group C 中第 7 节电池测量结果常规存放位置。来自 ADC1 的结果放在 Cell Voltage Register Group C 中第 8 节电池测量结果常规存放位置。命令格式见命令章节。图 9 为 ADOL 命令时序图。表 11 为该命令在各种模式下的转换时间。 t_{1c} 为命令总转换时间。

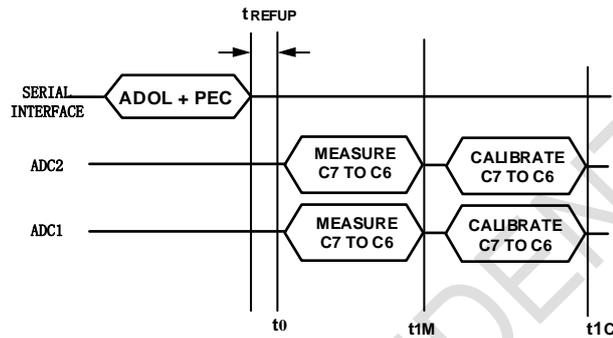


图 9. ADOL 命令时序图

表11. ADOL命令转换时间

MODE	CONVERSION TIMES (in μs)		
	t_0	t_{1M}	t_{1c}
27kHz	0	57	201
14kHz	0	86	230
7kHz	0	144	405
3kHz	0	240	501
2kHz	0	493	754
1kHz	0	959	1,219
422Hz	0	1,890	2,150
26Hz	0	29,817	33,568

精度检查

测量一个独立的电压基准是检验数据采集系统准确性的最佳手段。为此，XL8812 集成了一个独立的基准源2。ADAX 命令可以启动对基准源2的测量。结果放在 Auxiliary Register Group B 中。结果的范围取决于 ADC1 测量精度和第二参考的精度，包括热滞后和长期漂移。读数超出 2.99V 至 3.01V 的范围表明系统精度超出了规定的公差。ADC2 通过使用 ADOL 命令将其结果与 ADC1 结果进行比较来验证其精度。

MUX Decoder 检查 (DIAGN 命令)

诊断命令 DIAGN 确保每个多路复用器通道的正确操作。该命令将检测所有测量通道，如果任何通道译码器失败，则在状态寄存器组 B 中将 MUXFAIL 位设置为 1。如果通道解码器，通过测试，则 muxfail 位设置为 0。MUXFAIL 位在上电复位后 (POR) 或执行 CLRSTAT 命令后也设置为 1。

如果 CORE 电路处于 REFUP 状态, DIAGN 命令大约需要 400us 完成; 如果 CORE 电路处于 STANDBY 待机状态, DIAGN 命令大约需要 4.5ms 完成。轮询方法一节中描述的轮询方法可用于确定 DIAGN 命令的完成情况。

数字滤波器检测

Δ/Σ ADC 由一个 1 位脉冲密度调制器和一个位于其后的数字滤波器组成。当具有较高输入电压时, 经过脉冲密度调制的输出位流具有相对较高“1”的百分比。数字滤波器把该高频 1 位数据流转换为单个 16 位字。这就是 Δ/Σ ADC 常常被称为过采样转换器的原因。

自测试命令用于验证数字滤波器和存储器的操作。图 10 示出了 ADC 在自测试期间的工作情况。1 位脉冲密度调制器的输出被一个 1 位测试信号所取代。该测试信号通过数字滤波器并被转换为一个 16 位值。1 位测试信号将经历与来自调制器的常规 1 位脉冲相同的数字转换, 因此任何自测试命令的转换时间与对应的常规 ADC 转换命令完全相同。16 位 ADC 值与常规 ADC 转换命令结果存储在相同的寄存器组之中。1 位疏密波测试信号由寄存器产生。表 12 罗列了所有自测试命令, 倘若数字滤波器和存储器正确运作, 则寄存器将包含表 12 中给出的数值。

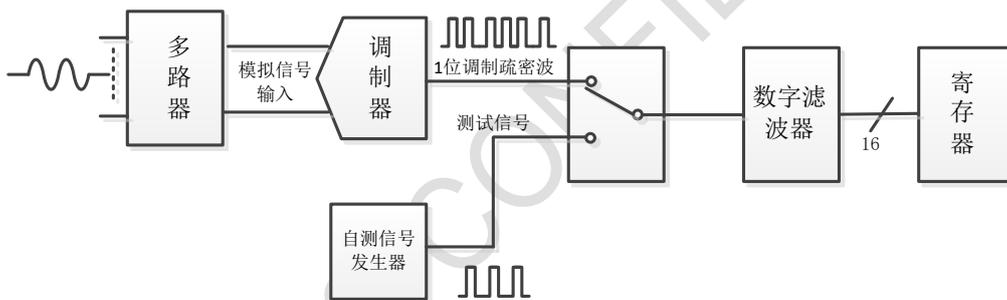


图10. ADC 自检测测试

表12. 自测命令汇总

命令	自测试选项	不同 ADC 模式中的输出值			结果寄存器组
		27kHz	14kHz	7kHz, 3kHz, 2kHz, 1kHz, 422Hz, 26Hz	
CVST	ST[1:0]=01	0x9565	0x9553	0x9555	C1V to C12V (CVA, CVB, CVC, CVD)
	ST[1:0]=10	0x6A9A	0x6AAC	0x6AAA	
AXST	ST[1:0]=01	0x9565	0x9553	0x9555	G1V to G5V, REF (AUXA, AUXB)
	ST[1:0]=10	0x6A9A	0x6AAC	0x6AAA	
STATST	ST[1:0]=01	0x9565	0x9553	0x9555	SC, ITMP, VA, VD (STATA, STATB)
	ST[1:0]=10	0x6A9A	0x6AAC	0x6AAA	

ADC 数据清除命令 (CLRCELL/CLRAUX/CLRSTAT 命令)

XL8812 具有 3 个清除命令 - CLRCELL、CLRAUX 和 CLRSTAT。这些命令用于清除存储了所有 ADC 转换结果的寄存器。CLRCELL 命令负责清除电池电压寄存器组 A、B、C 和 D。这些寄存器中的所有字节均由 CLRCELL 命令设定为 0xFF。

CLRAUX 命令负责清除 GPIO 寄存器组 A 和 B。这些寄存器中的所有字节皆由 CLRAUX 命令设定为 0xFF。

CLRSTAT 命令用于清除状态寄存器组 A 和 B (状态寄存器组 B 中的 REV 和 RSVD 位除外)。REV 位的回读将回复芯片的版本代码。RSVD 位回读始终为 0。状态寄存器组 B 中的所有 OV 标记、UV 标记、MUXFAIL 位和 THSD 位都被 CLRSTAT 命令设定为 1。THSD 位在 RDSTATB 命令之后被设定为 0。SC、ITMP、VA 和 VD 的寄存器全部由 CLRSTAT 命令设定为 0xFF。

断线检查 (ADOW 命令)

ADOW 命令用于检查 XL8812 中的 ADC 与外部电池之间的任何导线开路。该命令和 ADCV 命令一样在 C 引脚输入端上执行 ADC 转换，仅有的区别是两个内部电流源在其被测量的过程中吸收或灌入电流至两个 C 引脚。ADOW 命令的上拉 (PUP) 位负责确定电流源是吸收还是灌入 100uA 电流。

可以采用下面的简单算法来检测 13 个 C 引脚中任何一个上的导线开路：

- 1) 在 PUP = 1 的情况下运行 12 节电池命令 ADOW 至少两次。在结束时读取电池 1 至 12 的电压一次并将其存储在数组 $CELL_{PU}(n)$ 中。
- 2) 在 PUP = 0 的情况下运行 12 节电池命令 ADOW 至少两次。在结束时读取电池 1 至 12 的电压一次并将其存储在数组 $CELL_{PD}(n)$ 中。
- 3) 获取上述步骤中针对电池 2 至 12 的上拉与下拉测量结果之差：
 $CELL_{\Delta}(n) = CELL_{PU}(n) - CELL_{PD}(n)$ 对
- 4) 于从 1 至 11 的所有 n 值：
 如果 $CELL_{\Delta}(n+1) < -400mV$ ，则 C(n) 开路。
 如果 $CELL_{PU}(1) = 0.0000$ ，则 C(0) 开路。
 若 $CELL_{PD}(12) = 0.0000$ ，则 C(12) 开路。

上述算法 ADC 采用标准模式转换来检测导线开路，开路导线的 XL8812 端可存在多达 10nF 的电容。然而，如果在开路 C 引脚上存在更多的外部电容，则导线开路转换在步骤 1 和 2 中的运行时间长度必须增加，从而让 100uA 电流源在 C 端产生出足够大的电压差异 (以便算法检测开路连接) 提供时间。这可通过在步骤 1 和 2 中运行两个以上的 ADOW 命令 (或者采用滤波模式转换代替标准模式转换) 来实现。采用表 13 可确定需要进行多少次转换。

表 13

外部 C 脚电容	步骤 1 和 2 中所需的 ADOW 命令的数目	
	NORMAL MODE	FILTERED MODE
≤ 10nF	2	2
100nF	10	2
1μF	100	2
C	1 + ROUNDUP(C/10nF)	2

Thermal Shutdown

为防止 XL8812 发生过热，该 IC 内置了一个热停机电路。如果在芯片上检测到的温度超过了大约 150°C，则热停机电路跳变并使配置寄存器组复位至其默认状态。这将切断所有的均衡放电开关。当出现热停机事件时，状态寄存器组 B 中的 THSD 位将被置 1。当在均衡状态寄存器组 B 上完成了一个读取操作 (RDSTATB 命令) 之后，该位即被清除。CLRSTAT 命令也可将 THSD 位设定为 1 以进行诊断，但

并不使配置寄存器组复位。

版本代码

状态寄存器组 B 包含一个 4 位版本代码 (REV) 和 2 个预留位 (RSVD)。如果需要进行芯片版本的软件检测, 请与供应商联系以了解详情。否则, 此代码可以忽略。然而在所有场合中, 当读取数据计算 PEC 时必须使用所有位的数值。

看门狗和均衡定时器 (Watchdog & Discharge timer)

当超过 2 秒钟的时间没有唤醒信号(见图11) 时, 看门狗定时器计时将超时。这将导致配置寄存器 CFGR0-CFGR3复位。同时, 如果均衡定时器停用, CFGR4和CFGR5以及S端口控制寄存器也会被复位。当看门狗定时器计超时后, WDT引脚也会由外部上拉电阻拉至高电平。看门狗定时器始终处于使能状态, 并在每一个有效命令执行之后复位。

均衡定时器用于在可编程的持续时间里将均衡开关保持于接通状态。如果均衡定时器处于使用之中, 那么当看门狗定时器启动时均衡放电开关不会被关断。

如欲启用均衡定时器, 则需把 DTEN 引脚连接至 V_{REG} 的高电平 (图 11)。这样, 均衡放电开关可在编程持续时间 (其由写至配置寄存器的 DCTO 值确定) 里保持导通状态。表14给出了各种不同的时间设定值和对应的 DCTO 值。表15总结了在经过一次看门狗或均衡定时器事件后配置寄存器的状态。

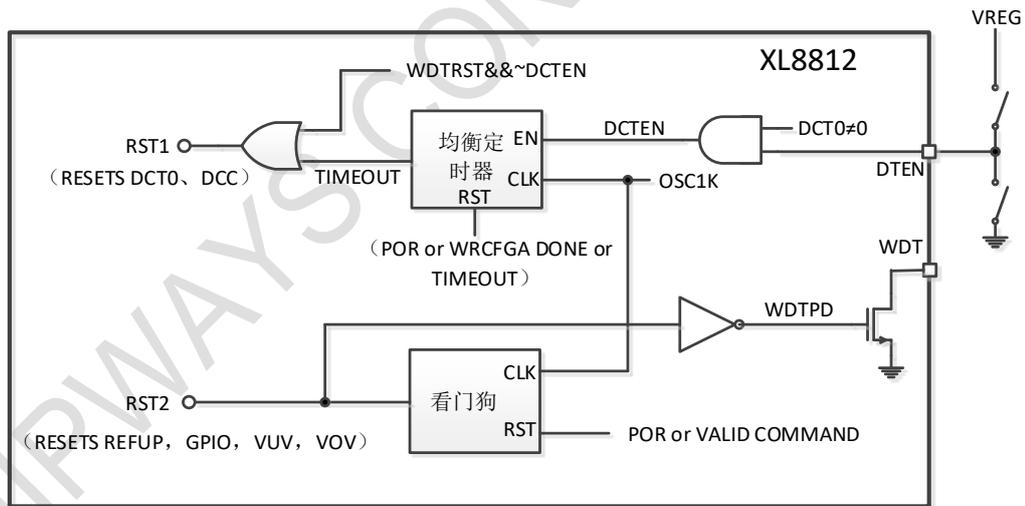


图 11. 看门狗和均衡定时器

表14. DCTO 设置

DCTO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
Time(min)	Disabled	0.5	1	2	3	4	5	10	15	20	30	40	60	75	90	120

表15

	看门狗定时器	软件定时器
DTEN = 0, DCTO = XXXX	Resets CFGR0-5 and SCTRL when it fires	Disabled
DTEN = 1, DCTO = 0000	Resets CFGR0-5 and SCTRL when it fires	Disabled

DTEN = 1, DCTO!=0000	Resets CFGR0-3 when it fires	Resets CFGR4-5 and SCTRL when it fires
----------------------	------------------------------	--

均衡定时器状态可以通过RDCFGA命令从配置寄存器中读出。DCTO的值表示均衡剩下的时间。如表16所示。

与看门狗定时器不同，当存在一个有效命令时，均衡定时器不会被复位。均衡定时器只能在一个有效的 WRCFGA (写配置寄存器) 命令之后才能被复位。存在这样一种可能性，即均衡定时器将在某些命令的执行过程之中计时终止。

如果均衡定时器在WRCFGA命令的执行过程当中启动，则配置寄存器将按表15所述复位。然而，在有效 WRCFGA 命令结束时，新的数据将被复制到配置寄存器。当均衡定时器启动时新的数据不会丢失。

如果均衡定时器在 RDCFGA 命令的执行过程当中启动，则配置寄存器组将按表 15 所述复位。因此，从寄存器字节 CRFG4 和 CRFG5 读回的数据有可能遭到损坏。同样，均衡定时器在 RDSCTRL 命令执行过程中启动，S 端控制寄存器会按照表 15 复位，读回的数据也可能遭到损坏。

表16

DCTO (READ VALUE)	DISCHARGE TIME LEFT (MIN)
0	Disabled (or) Timer has timed out
1	$0 < \text{Timer} \leq 0.5$
2	$0.5 < \text{Timer} \leq 1$
3	$1 < \text{Timer} \leq 2$
4	$2 < \text{Timer} \leq 3$
5	$3 < \text{Timer} \leq 4$
6	$4 < \text{Timer} \leq 5$
7	$5 < \text{Timer} \leq 10$
8	$10 < \text{Timer} \leq 15$
9	$15 < \text{Timer} \leq 20$
A	$20 < \text{Timer} \leq 30$
B	$30 < \text{Timer} \leq 40$
C	$40 < \text{Timer} \leq 60$
D	$60 < \text{Timer} \leq 75$
E	$75 < \text{Timer} \leq 90$
F	$90 < \text{Timer} \leq 120$

芯片复位

芯片各种复位状况如下表总结

复位事件	芯片行为
待机(STANDBY)	芯片进入待机状态 (STANDBY) 所有寄存器和状态机复位到缺省值 停止均衡放电
热停机 (Thermal Shutdown)	均衡放电停止，但是S端控制寄存器组未被复位 所有配置寄存器组被复位 通讯寄存器组 (COMM Register Group) 被复位

看门狗超时 (均衡定时器运行)	进入 EXTENDED BALANCING 状态 配置寄存器的CFGR0, CFGR1, CFGR2 和 CFGR3 位被复位 通讯寄存器组 (COMM Register Group) 被复位
看门狗超时 (没有均衡定时器运行)	进入 SLEEP 状态 均衡放电停止 所有状态机复位 所有配置寄存器组复位 PWM寄存器组复位 S端口控制寄存器复位 通讯寄存器组 (COMM Register Group) 复位
均衡放电超时 (看门狗超时)	进入 SLEEP 状态 其他行为同上
均衡放电超时 (看门狗计时)	均衡放电停止 PWM寄存器组复位 S端口寄存器组复位 配置寄存器组CFGR4 and CFGR5 位被复位

PWM 均衡控制

当看门狗定时器未过期时，配置寄存器组中的 DCC 位直接控制 S 管脚。看门狗定时器到期后，PWM 均衡控制开始并持续到所选均衡放电时间结束，或直到发生唤醒事件（看门狗定时器复位）。在 PWM 均衡控制期间，必须将相应 DCC 位设置为 1，以使脉宽调制功能工作。

PWM 控制周期为 30 秒，占空比从 0 到 100%可调，步距 2 秒 (1/15=6.67%)。具体设置如表 17。

S 端口 PWM 信号是按 62.5ms 间隔输出的，以防止有 2 个管脚同时开或同时关。12 个开关顺序打开需要 0.75 秒 (0.625mS*12)。

PWM 寄存器缺省值为 30 秒，SLEEP 状态下，PWM 寄存器被复位到缺省值。

表17. S Pin Pulse Width Modulation Settings

DCC BIT (CONFIG REGISTER GROUP)	PWMC SETTING	ON TIME [SECONDS]	OFF TIME (SECONDS)	DUTY CYCLE [%]
0	4'bXXXX	0	Continuously Off	0.0
1	4'b1111	Continuously On	0	100.0
1	4'b1110	28	2	93.3
1	4'b1101	26	4	86.7
1	4'b1100	24	6	80.0
1	4'b1011	22	8	73.3
1	4'b1010	20	10	66.7
1	4'b1001	18	12	60.0
1	4'b1000	16	14	53.3
1	4'b0111	14	16	46.7
1	4'b0110	12	18	40.0
1	4'b0101	10	20	33.3
1	4'b0100	8	22	26.7
1	4'b0011	6	24	20.0
1	4'b0010	4	26	13.3
1	4'b0001	2	28	6.7
1	4'b0000	0	Continuously Off	0.0

GPIO 端口 I2C/ SPI 主控器

XL8812 上的 I/O 端口 GPIO3、GPIO4 和 GPIO5 可用作一个 I2C 或 SPI 主控 (master) 器端口, 可与 I2C 或 SPI 受控 (slave) 器件通信。就 I2C 主控器而言, GPIO4 和 GPIO5 分别形成了 I2C 接口的 SDA 和 SCL 端口。至于 SPI 主控器, GPIO3、GPIO4 和 GPIO5 分别成为了 SPI 接口的芯片选择 (CSBM)、数据 (SDIOM) 和时钟(SCKM)端口。XL8812 SPI 主控支持 SPI mode 3 (CHPA=1, CPOL=1)

GPIO 是漏极开路输出, 因此需要在这些端口上连接一个外部上拉电阻器。另外还需在配置寄存器组中将 GPIO 位写为 “1”, 这样一来这些端口就不会被器件在内部拉至低电平。

COMM 寄存器

XL8812 有一个 6-byte COMM 控制寄存器见表 18。该寄存器存储 I2C 或 SPI 与从机通信所需的所有数据和控制位。通信寄存器包含三个 byte 与 slave 的收发数据 Dn[7:0]。ICOMn[3:0]指定在发送/接收每个数据之前的控制操作字节。FCOMn[3:0]指定发送/接收每个数据字节后的控制操作。

如果通信寄存器中的位 ICOMn[3]设置为 1, 则该芯片成为 SPI 主控, 如果该位设置为 0, 则该芯片成为 I2C 主控。

表 19 描述了芯片作为 I2C MASTER 时, ICOMn[3:0] 和 FCOMn[3:0]的代码及其对应行为。

表 20 描述了芯片作为 SPI MASTER 时, ICOMn[3:0] 和 FCOMn[3:0]的代码及其对应行为。

注意: 只有表 19, 表 20 所列代码为 ICOMn[3:0]和 FCOMn[3:0]有效代码, 写入任何其它代码都将导致 I2C 和 SPI 端口不可预测的行为。

表 18. COMM Register Memory Map

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]

表19. Write Codes for ICOMn[3:0] and FCOMn[3:0] on I2C Master

CONTROL BITS	CODE	ACTION	描述
ICOMn[3:0]	0110	起动START	在I2C端口上生成一个START信号, 随后进行数据传输
	0001	停止STOP	在I2C端口上生成一个STOP信号
	0000	消隐BLANK	直接在I2C端口上继续进行数据传输
	0111	无传输No Transmit	释放SDA和SCL并忽略其余的数据
FCOMn[3:0]	0000	主控器肯定确认Master	主控器在第9个时钟周期上生成一个肯定确认 (ACK) 信号
	1000	主控器否定确认Master	主控器在第9个时钟周期上生成一个否定确认 (NACK) 信号
	1001	主控器否定确认Master	主控器生成一个否定确认(NACK)信号, 后随停止 (STOP) 信号

表20. Write Codes for ICOMn[3:0] and FCOMn[3:0] on SPI Master

CONTROL BITS	CODE	ACTION	DESCRIPTION
ICOMn[3:0]	1000	CSBM low	在 SPI 端口 (GPIO3) 上生成一个 CSBM 低电平信号
	1010	CSBM falling edge	Drives CSBM (GPIO3) high, then low
	1001	CSBM high	在 SPI 端口 (GPIO3) 上生成一个 CSBM 低电平信号
	1111	No Transmit	释放 SPI 端口并忽略其余的数据
FCOMn[3:0]	X000	CSBM low	在字节传输结束时将 CSBM 保持在低电平
	1001	CSBM high	在字节传输结束时将 CSBM 转换至高电平

COMM 命令

有三个命令用以完成与 Slave 设备的 I2C 或 SPI 通信: WRCOMM、STCOMM 和 RDCOMM。

WRCOMM 命令: 此命令用于将数据写入通信寄存器。此命令将 6 字节的数据写入通信寄存器。PEC 需要写在数据的末尾。如果 PEC 不匹配, 当 CSB 变高时, COMM 寄存器中的所有数据都被置为 1。有关写命令格式的信息, 请参阅总线协议一节。

STCOMM 命令: 该命令在 GPIO 端口上启动 I2C/SPI 通信。通信寄存器包含 3 个字节的数据传输到 Slave 端。在该命令期间, 存储在通信寄存器中的数据字节被发送到 I2C 或 SPI Slave 端设备, 从 I2C 或 SPI 设备接收的数据被存储在通信寄存器中。此命令使用 GPIO4 (SDA) 和 GPIO5 (SCL) 进行 I2C 通信, 或使用 GPIO3 (CSBM)、GPIO4 (SDIOM) 和 GPIO5 (SCKM) 进行 SPI 通信。在保持 CSB 低的情况下, STCOMM 命令后接 24 个时钟周期用以传输 byte 数据到从设备。例如, 向从机发送三个字节的的数据, 发送 STCOMM 命令及其 PEC, 然后是 72 个时钟周期。在 STCOMM 命令的 72 个时钟周期结束时将 CSB 拉高。在 I2C 或 SPI 通信期间, 从设备接收的数据在通信寄存器 COMM 中更新。

RDCOMM 命令: 从 Slave 设备接收的数据可以使用 RDCOMM 命令从 COMM 寄存器中读取。该命令读取后面跟着 PEC 的六个字节的数据。有关读取命令格式的信息, 请参阅总线协议一节。表 21 描述了 ICOMn[3:0]和 FCOMn[3:0]作为 I2C Master 使用时可能的回读代码。Dn[7:0]为 I2C Slave 传回的数据。

在 SPI master 的情况下, ICOMn[3:0]和 FCOMn[3:0]的回读代码始终分别为 0111 和 1111。Dn[7:0]包含 SPI 从 Slave 接收的数据。

表21. Read Codes for ICOMn[3:0] and FCOMn[3:0] on I2C Master

CONTROL BITS	CODE	DESCRIPTION
ICOMn[3:0]	0110	Master generated a START signal
	0001	Master generated a STOP signal
	0000	Blank, SDA was held low between bytes
	0111	Blank, SDA was held high between bytes
FCOMn[3:0]	0000	Master generated an ACK signal
	0111	Slave generated an ACK signal
	1111	Slave generated a NACK signal
	0001	Slave generated an ACK signal, master generated a STOP signal
	1001	Slave generate da NACK signal, master generated a STOP signal

图 12 为 XL8812 通过 GPIO 作为 SPI 和 I2C Master 的示意图。

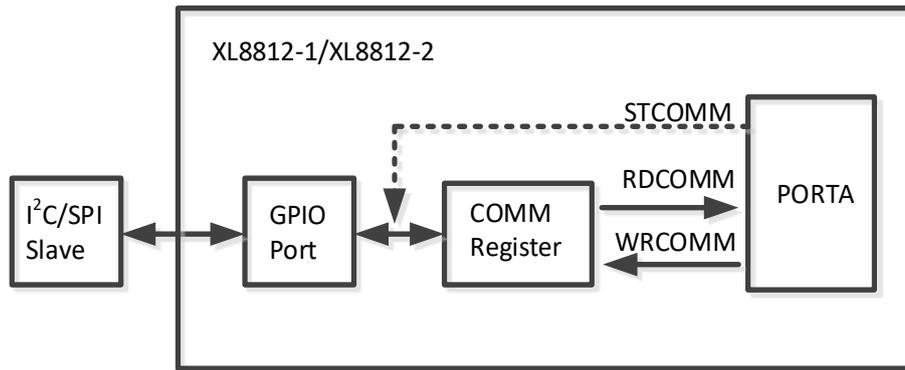


图 12. XL8812 通过 GPIO 端口作为 I2C/SPI Master 应用

所有数据都可以用上述命令 3 byte 一组传到 Slave 端。在不同命令间 GPIO 端口不会被复位，但是如果命令间隔超过 2 秒，看门狗超时会导致端口复位到缺省状态。

通过 I2C 传输多字节数据时，命令只需在数据流开头放一个 START 信号，在数据流结尾放一个 STOP 信号，中间数据的每个字节前放置一个 BLANK 代码，字节后放置一个 ACK/NACK 代码。在不同 STCOMM 命令间，SDA 和 SCL 不会被复位。

通过 SPI master 传输多字节数据时，在传输第一个数据字节时需送出 CSBM 低信号，字节间可以把 CSBM 拉高或者保持低电平，当所有数据传输完后把 CSBM 拉高。不同 STCOMM 命令间 CSBM、SDIOM 和 SCKM 不会被复位。

图 13 示出在 I2C 应用中，在不同情况下 STCOMM 命令后的 24 个时钟时序情况。特别注意的是，假如 ICOMMn[3:0]是一个 STOP 信号，STOP 信号发出后 SDA 和 SCL 信号将被拉高，余下未被传输的数据将被忽略。假如 ICOMMn[3:0]是一个 NO TRANSMIT 代码，SDA 和 SCL 都会被释放，同时余下的数据将会被忽略。这种情况将应用在菊花链里那些不需要和 Slave 通讯的特别的器件中。

图 14 示出在 SPI Master 应用中，在不同情况下 STCOMM 命令后的 24 个时钟时序情况。和 I2C Master 应用一样，假如 ICOMMn[3:0]是一个 CSBM 高电平信号代码或者一个 NO TRANSMIT 信号代码，CSBM，SCKM 和 SDIOM 信号线将会被 MASTER 端释放，同时余下未被传输的数据将被忽略。

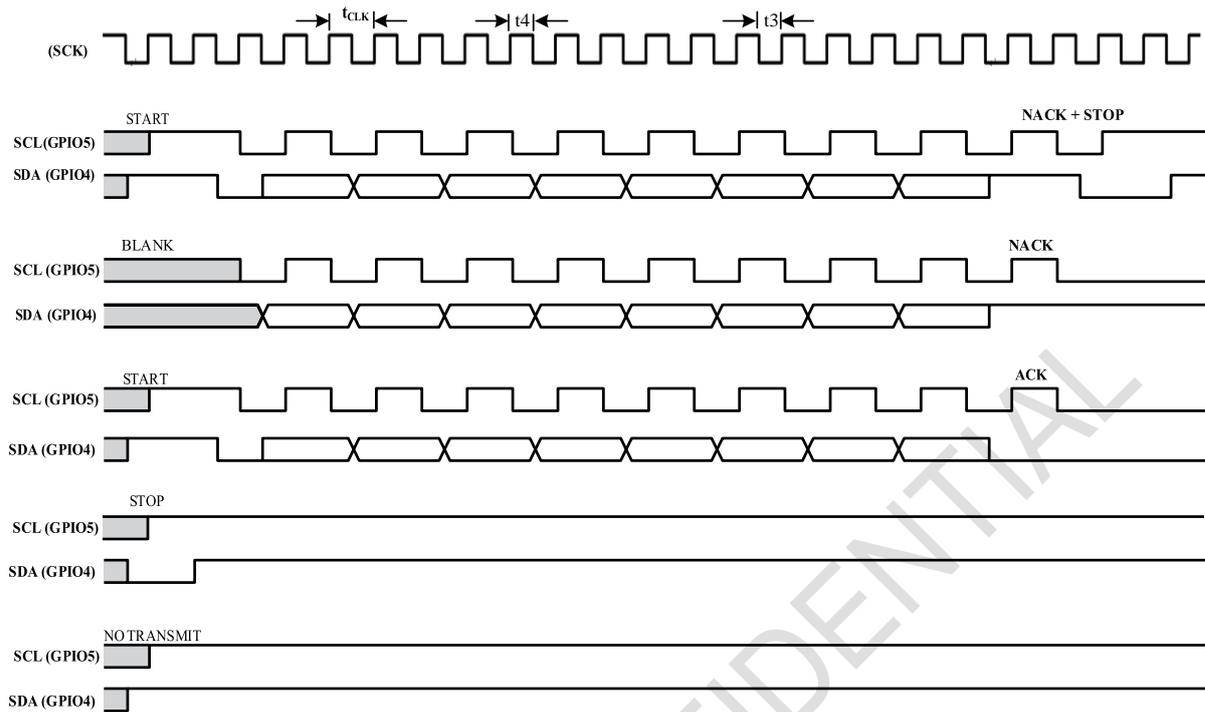


图 13. STCOMM Timing Diagram for an I2C Master

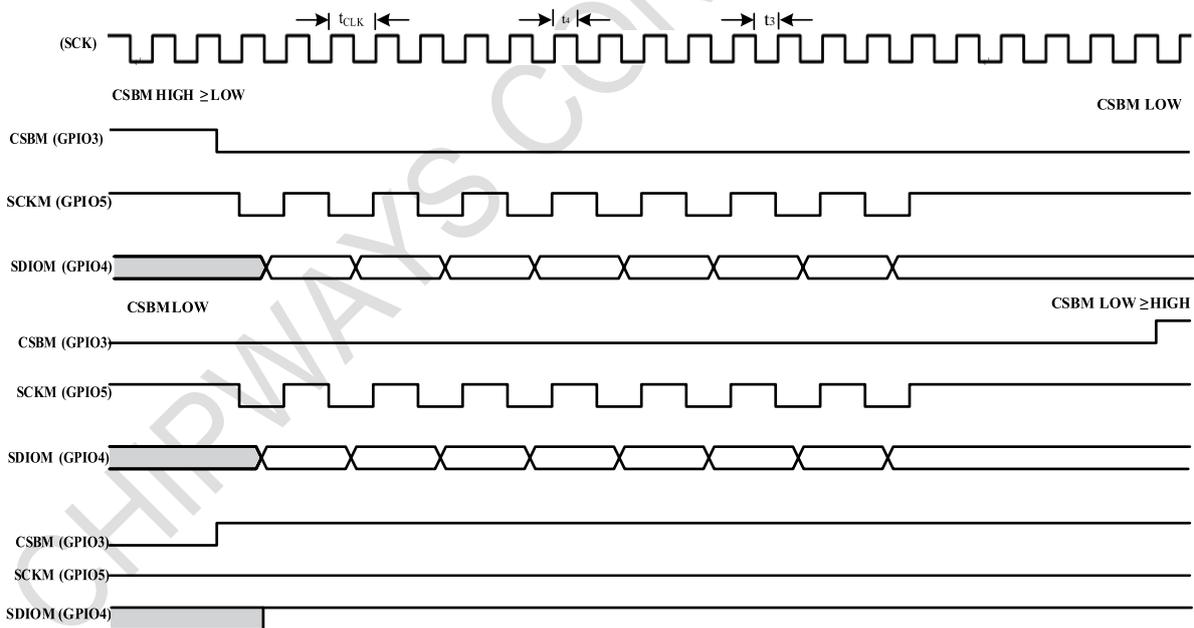


图 14. STCOMM Timing Diagram for an SPI Master

I2C 和 SPI Master 的时序规范

XL8812 I2C 或 SPI 主模式的时序由 XL8812 的主 SPI 接口上的通信时序控制。表 22 显示了 I2C 主模式与主 SPI 时钟的时序关系。表 23 显示了 SPI 主控时序规范。

表 22. I2C Master Timing

I2C MASTER PARAMETER	TIMING RELATIONSHIP TO PRIMARY SPI INTERFACE	TIMING SPECIFICATIONS AT $t_{CLK} = 1\mu s$
SCL Clock Frequency	$1/(2 \cdot t_{CLK})$	Max 500kHz
$t_{HD};STA$	t_3	Min 200ns
t_{LOW}	t_{CLK}	Min 1 μs
t_{HIGH}	t_{CLK}	Min 1 μs
$t_{SU};STA$	$t_{CLK} + t_4^*$	Min 1.03 μs
$t_{HD};DAT$	t_4^*	Min 30ns
$t_{SU};DAT$	t_3	Min 200ns
$t_{SU};STO$	$t_{CLK} + t_4^*$	Min 1.03 μs
t_{BUF}	$3 \cdot t_{CLK}$	Min 3 μs

* Note: When using isoSPI, t_4 is generated internally and is a minimum of 30ns. Also, $t_3 = t_{CLK} - t_4$. When using SPI, t_3 and t_4 are the low and high times of the SCK input, each with a specified minimum of 200ns.

表 23. SPI Master Timing

SPI MASTER PARAMETER	TIMING RELATIONSHIP TO PRIMARY SPI INTERFACE	TIMING SPECIFICATIONS AT $t_{CLK} = 1\mu s$
SDIOM Valid to SCKM Rising Setup	t_3	Min 200ns
SDIOM Valid from SCKM Rising Hold	$t_{CLK} + t_4^*$	Min 1.03 μs
SCKM Low	t_{CLK}	Min 1 μs
SCKM High	t_{CLK}	Min 1 μs
SCKM Period (SCKM_Low + SCKM_High)	$2 \cdot t_{CLK}$	Min 2 μs
CSBM Pulse Width	$3 \cdot t_{CLK}$	Min 3 μs
SCKM Rising to CSBM Rising	$5 \cdot t_{CLK} + t_4^*$	Min 5.03 μs
CSBM Falling to SCKM Falling	t_3	Min 200ns
CSBM Falling to SCKM Rising	$t_{CLK} + t_3$	Min 1.2 μs
SCKM Falling to SDIOM Valid	Master requires $< t_{CLK}$	

* Note: When using isoSPI, t_4 is generated internally and is a minimum of 30ns. Also, $t_3 = t_{CLK} - t_4$. When using SPI, t_3 and t_4 are the low and high times of the SCK input, each with a specified minimum of 200ns.

S PIN PULSING USING THE S CONTROL REGISTER GROUP

XL8812 的 S 管脚可以用作简单的串行接口用于控制外部主动均衡器件如 LT8584，LT8584 是一种单片反激式 DC/DC 转换器，设计用于主动均衡大型电池组。LT8584 有几种操作模式，通过串行接口控制。XL8812 可以通过在每个 S 管脚上发送一系列脉冲来选择特定的 LT8584 模式，从而与 LT8584 通信。S 端口控制寄存器组用于指定 12 个 S 管脚中每个管脚的行为，其中每个半字节指定 S 管脚应驱动高、驱动低还是发送 1 到 7 个脉冲之间的脉冲序列。表 24 显示了可以发送到 LT8584 的可能的 S 管脚行为。

S 管脚脉冲频率为 6.44kHz (155 μs 周期)。脉冲宽度为 77.6 μs 。如果 STSCTRL 命令通过 PEC 校验，则在最后一个命令 PEC 时钟之后，S 管脚开始发送脉冲。然后上位机可以继续对 SCK 端输出时钟，以轮询 S 管脚脉冲的输出状态。此轮询的工作原理与 ADC 轮询功能类似。数据输出端口将保持逻辑低，直到 S 管脚脉冲序列完成。

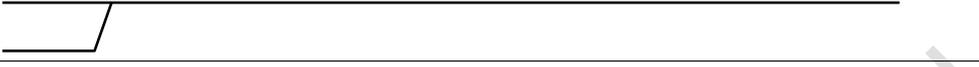
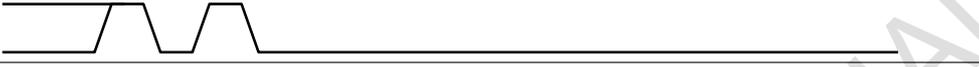
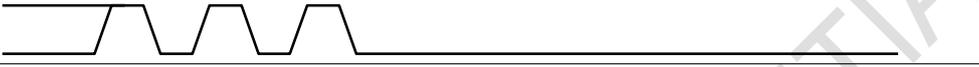
当 S 管脚输出脉冲时，新的 STSCTRL 或 WRSCTRL 命令将被忽略。PLADC 命令可用于确定 S 管脚脉冲是否完成输出。

如果正确接收 WRSCTRL 命令和命令 PEC，但数据 PEC 不匹配，则 S 控制寄存器组将被清除。

如果配置寄存器组中的 DCC 位被插入，则无论 S 控制寄存器组如何，XL8812 都将驱动所选 S 管脚为低。使用 S 管脚控制寄存器组时，上位机应将 DCC 位设置为 0。

CLRCTRL 命令可用于快速将 S 管脚控制寄存器组重置为 0，并强制释放对 S 管脚的控制。此命令可能有助于缩短汽车应用程序中的诊断控制回路时间。

Table 24

NIBBLE VALUE	S PIN BEHAVIOR
----	
0001	
0010	
0011	
0100	
0101	
0110	
0111	
1XXX	

串行接口概述

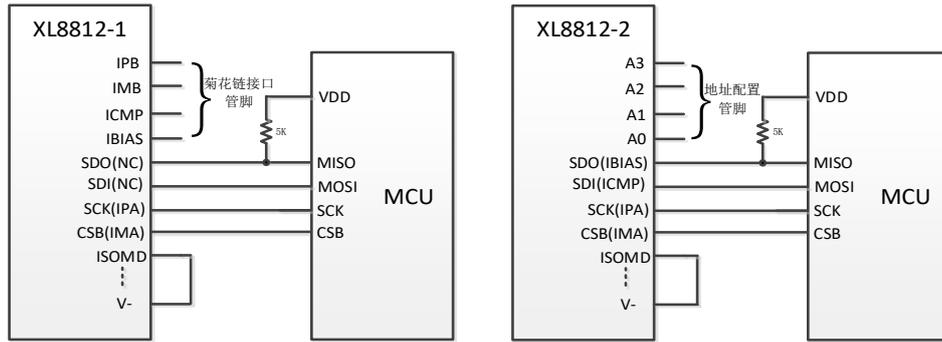
在 XL8812 上有两类串行端口，即：一个标准的四线式串行外设接口 (SPI) 和一个两线式隔离串行接口 (isoSPI)。根据 ISOMD 引脚的状态，可以把引脚 41 至 44 配置为两线式或四线式串行端口。

XL8812 有两种版本：XL8812-1 和 XL8812-2。XL8812-1 用于菊花链式配置，而 XL8812-2 则用于可寻址总线配置。XL8812-1 提供了采用引脚 45 - 48 的第二个 isoSPI 接口。XL8812-2 采用引脚 45 - 48 来设定器件的地址 (通过将这些引脚连接至 V- 或 V_{REG})。

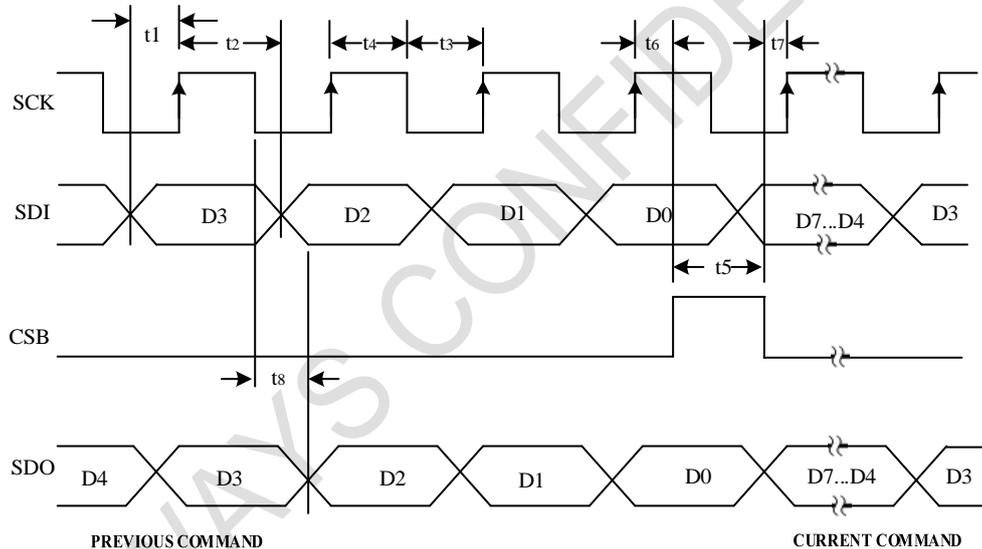
四线式串行外设接口 (SPI) 物理层

外部连接

把 ISOMD 连接至 V- 可针对四线式 SPI 来配置串行端口 A。SDO 引脚是一个漏极开路输出，需要一个连接至合适电源电压的上拉电阻 (图 15)。


图 15. 四线 SPI 配置图
时序

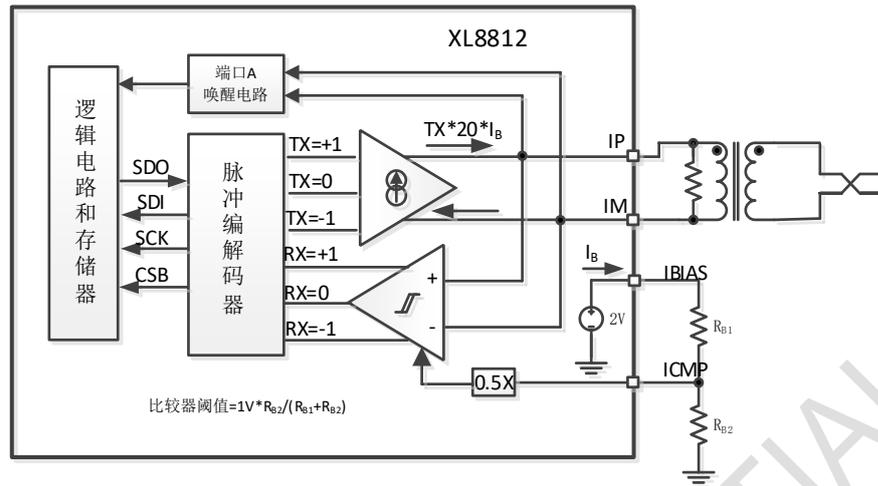
四线式串行端口配置为采用 $CPHA = 1$ 和 $CPOL = 1$ 的 SPI 系统中运作。因此，SDI 上的数据在 SCK 的上升沿期间必须保持稳定。时序如图 16。最大数据速率为 1Mbps。


图 16. 四线式串行外设接口的时序图
两线式隔离串行接口 (isoSPI) 物理层

两线式接口提供了一种采用简单的双绞线电缆来实现 XL8812 器件互连的方法。该接口专门针对电缆在遭受高射频场的干扰下低丢包率而设计。隔离通过一个外部变压器实现。

标准的 SPI 信号被编码为差分脉冲。发送脉冲的强度和接收器的脉冲检测门限电平由两个外部电阻器设定。用户可通过调整电阻器的阻值在功率耗散与抗噪声性能之间进行权衡。

图 17 为 isoSPI 电路的工作原理，一个 2V 基准负责驱动 IBIAS 引脚。外部电阻器 R_{B1} 和 R_{B2} 产生基准电流 I_B 。该电流用于设定发送器的驱动强度。另外， R_{B1} 和 R_{B2} 还在 ICMP 引脚上形成了一个分压电压。该电压用于设定接收端的门限电压。


图 17. isoSPI 接口

外部连接

XL8812-1 具有两个被称为端口 B 和端口 A 的串行端口。端口 B 始终被配置为一个两线式接口 (Master)。端口 A 根据 ISOMD 引脚连接配置成 4 线或 2 线接口 (Slave)。

当端口 A 配置成 4 线接口时，端口 A 固定为 Slave 端口，端口 B 固定为 Master 端口。通讯总是从菊花链低端第一个芯片的端口 A 发起。菊花链末端芯片的 B 端口不被使用，需要用 一个电阻 R_M 把端口短接。

当端口 A 配置成 2 线接口时，通讯可以从端口 A 发起，也可以从端口 B 发起。当通讯从端口 A 发起，端口 A 被配置成 Slave，端口 B 被配置成 Master；当通讯从端口 B 发起时，端口 B 被配置成 Slave，端口 A 被配置成 Master。详见主从可逆双向通讯 isoSPI 章节。

图 18 示出了多个相同 PCB 板 (各包含一个 XL8812-1) 稳定互连的实例。微处理器位于一块单独的 PCB 上。为了在微处理器 PCB 和第一个 XL8812-1 PCB 之间实现两线式隔离，可用 XL8820 转换芯片进行隔离。菊花链最后一个 IC 的 B 端口不会被用，但是 R_M 电阻不能被去除。在该案例中，通讯从 A 端口发起，所以 A 端口被配置成 Slave，而 B 端口被配置成 Master。

XL8812-2 具有单个串行端口 (端口 A)，视 ISOMD 引脚状态的不同，该端口可以是两线式或四线式。当针对两线式通信进行配置时，可以把几个器件连接为一种多分支星形配置如图 19。可用 XL8820 作为 4 线 2 线转接接口连接上位机和 XL8812-2。

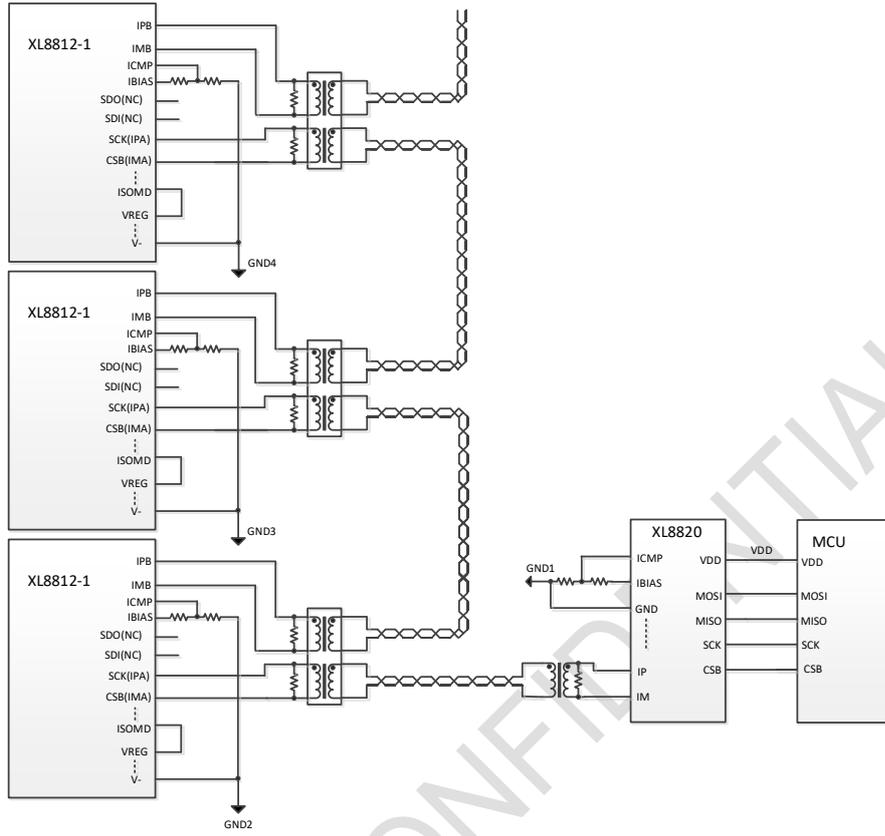


图18. XL8812-1变压器隔离菊花链级联图

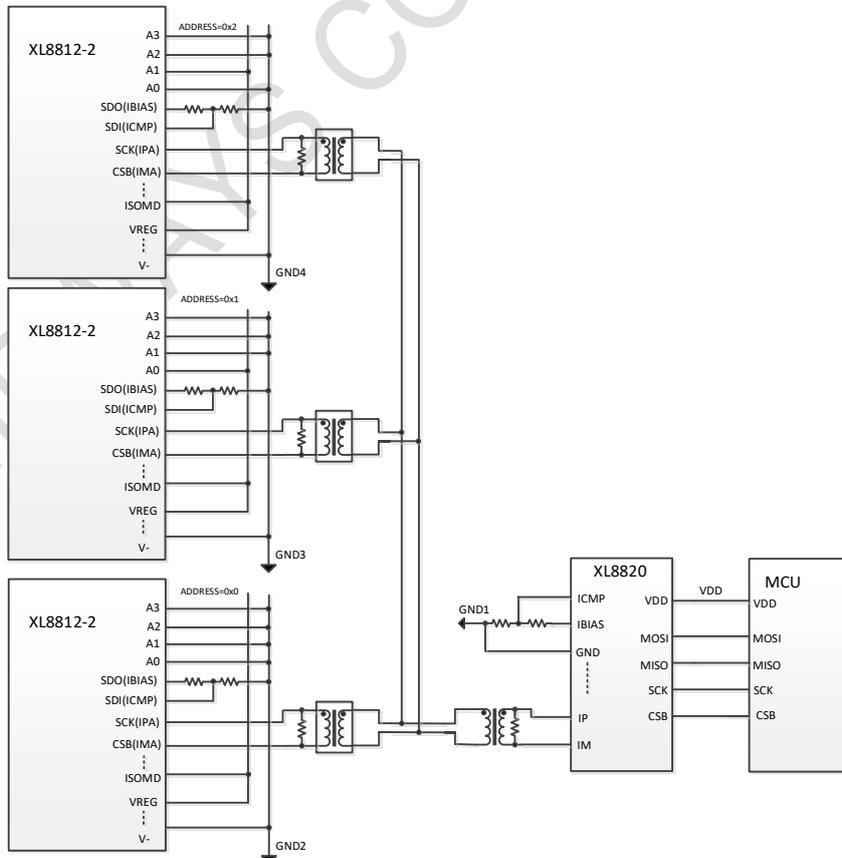


图 19. XL8812-2 变压器隔离星形连接图

XL8812 单芯片应用

单芯片应用时建议使用 XL8812-2。XL8812-2 没有隔离端口 B，外围器件少，功耗更低，尤其在端口 A 被配置成 4 线模式时。

XL8812-1 也可以单芯片应用，只是端口 B 必须正确的偏置和连接。如图 20 和 22。ICMP 不能接到地，但可直接接到 IBIAS。然后用一个 2K~20K 的电阻偏置 IBIAS。不能把 IBIAS 直接接到 V-或者 V_{REG}。最后，IMP 和 IPB 用一个 100 欧姆的电阻连在一起。（不是接到 V-或者 V_{REG}）。

偏置电阻选择

可调的信号幅度允许系统通过牺牲功耗来换取通信稳定性的提高，而可调节的脉冲检测比较器门限则使系统能够对信号损失实施补偿。

isoSPI 发送端驱动电流和接收端脉冲检测比较器电压门限由一个位于 IBIAS 和 V- 之间的电阻分压器 ($R_{BIAS} = R_{B1} + R_{B2}$) 设定。经分压后的电压连接至 ICMP 引脚，接收端脉冲检测比较器门限设定为该电压 (V_{ICMP}) 的 1/2。当任一 isoSPI 接口被使能 (非 IDLE) 时，IBIAS 保持于 2V，从而致使从 IBIAS 引脚流出一个电流 I_B 。IP 和 IM 引脚驱动电流为 $20 \cdot I_B$ 。

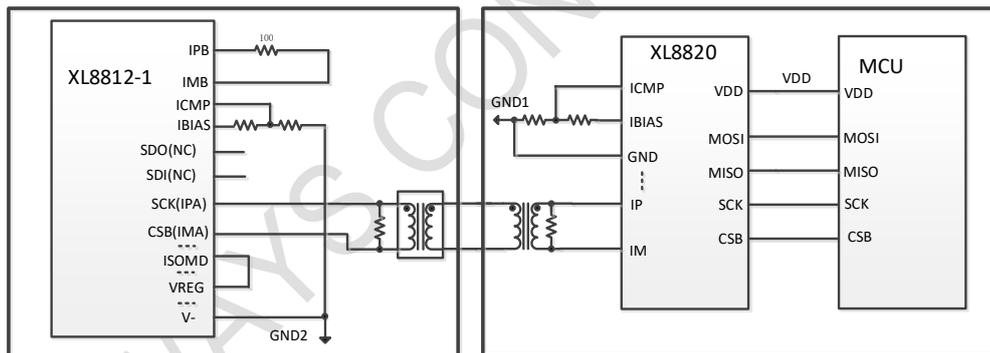


图 20. XL8812-1 单芯片 2 线端口应用

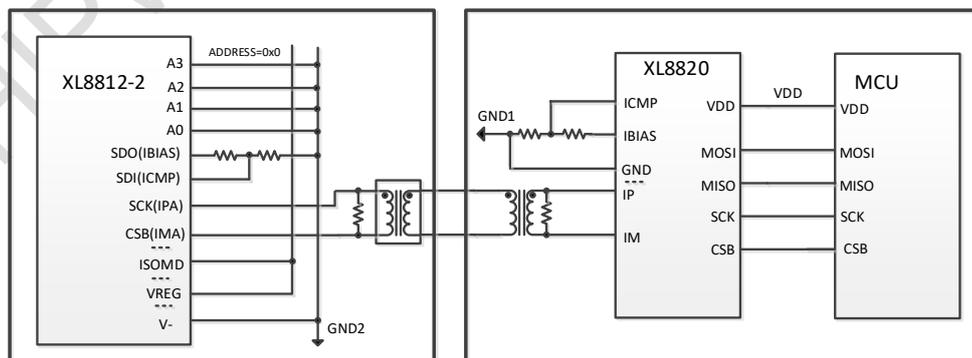
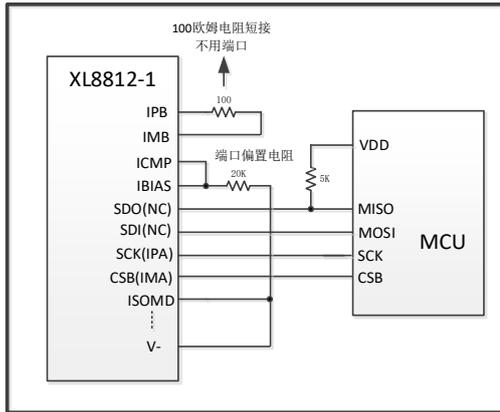
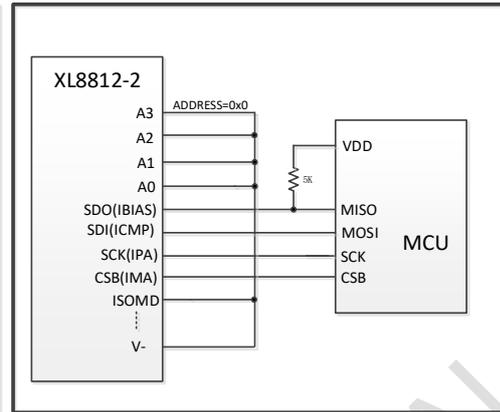


图 21. XL8812-2 单芯片 2 线端口应用


图 22. XL8812-1 单芯 4 线端口应用

图 23. XL8812-2 单芯片 4 线端口应用

isoSPI 脉冲细节

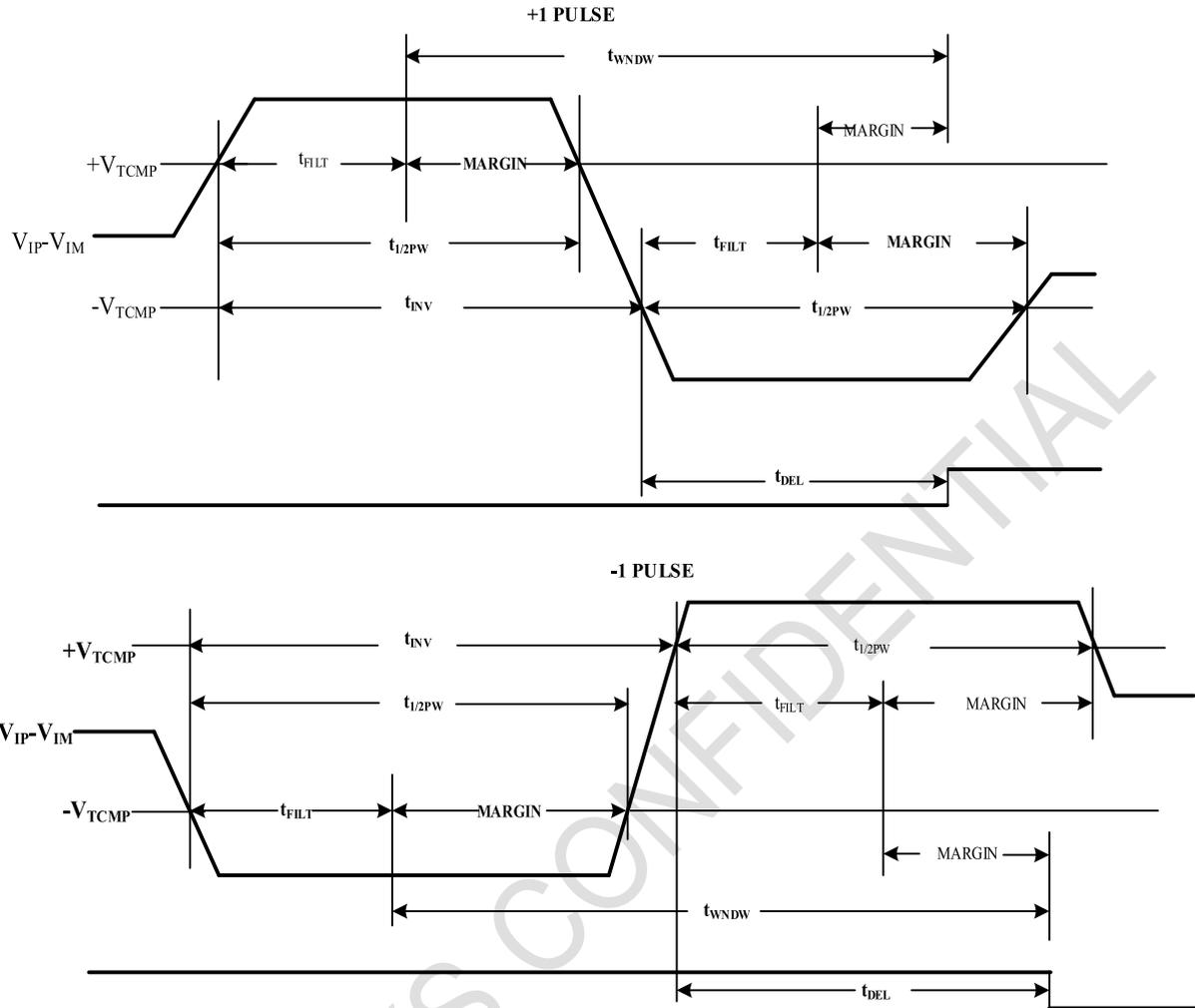
两个 XL8812 器件能够通过隔离势垒来回地发送和接收差分脉冲以实现通信。发送器可输出三种电压电平： $+V_A$ 、 $0V$ 和 $-V_A$ 。当 IP 端输出电流，IM 端吸收电流时，就在负载电阻器 R_M 两端产生一个正输出 $+V_A$ 。当 IP 吸收电，IM 输出电流时则产生一个负电压 $-V_A$ 。当两个输出均关断时，负载电阻将强制差分输出为 $0V$ 。

为了消除 DC 信号分量并增强可靠性，isoSPI 采用了两种不同脉宽的脉冲。这样就有 4 类脉冲用于 isoSPI 传输，如表 25 所示。一个 A+1 脉冲将作为一个正脉冲来传输（后随一个负脉冲）。一个 A-1 脉冲将作为一个负脉冲来传输（后随一个正脉冲）。每个脉冲的持续时间被定义为 $t_{1/2PW}$ ，因为它们为对称脉冲对的一半。（总的 isoSPI 脉冲持续时间为 $2 \cdot t_{1/2PW}$ ），具体如图 24 所示。

表 25: isoSPI 脉冲类型

脉冲类型	第一种电平 ($t_{1/2PW}$)	第二种电平 ($t_{1/2PW}$)	终止电平
长+1	$+V_A$ (150ns)	$-V_A$ (150ns)	$0V$
长-1	$-V_A$ (150ns)	$+V_A$ (150ns)	$0V$
短+1	$+V_A$ (50ns)	$-V_A$ (50ns)	$0V$
短-1	$-V_A$ (50ns)	$+V_A$ (50ns)	$0V$

为了使用该两线式接口，一个上位机控制器不必生成 isoSPI 脉冲。系统中的第一个 XL8812 可采用其端口 A 上的四线式 SPI 接口与微控制器进行通信，然后使用其端口 B 上的两线式 isoSPI 接口菊花链连接至其他的 XL8812。或者，也可以使用一个 XL8820 将 SPI 信号转换为 isoSPI 脉冲。


图 24 . isoSPI Pulse Detail
端口 A 配置成 SPI 时 XL8812-1 的操作

当 XL8812-1 在端口 A 作为一个 SPI ($ISOMD = V-$) 的情况下运作时, SPI 将检测 4 种通信事件之一: CSB 下降、CSB 上升、SCK 上升 ($SDI = 0$) 和 SCK 上升 ($SDI = 1$)。

每种事件被转换为 4 种脉冲之一, 以通过 XL8812-1 菊花链进行传输。长脉冲用于传输 CSB 变化, 而短脉冲则用于传输数据, 如表 26 中说明的那样。

表 26: XL8812-1 端口 B (Master) isoSPI 端口功能

通信事件 (端口 A SPI)	传输脉冲(端口 B isoSPI)
CSB 上升	长 +1
CSB 下降	长 -1
SCK 上升沿, SDI = 1	短 +1
SCK 上升沿, SDI = 0	短 -1

端口 A 配置成 isoSPI 时 XL8812-1 的操作

在隔离势垒的另一侧（即：在电缆的另一端），第二个 XL8812 将配置 $ISOMD = V_{REG}$ 。其端口 A 起一个从属 isoSPI 接口的作用。它接收每一个传输脉冲并在内部重构 SPI 信号，如表 27 所示。此外，在一个读操作命令期间该端口还可以传输返回数据脉冲。

表 27: XL8812-1 端口 A (Slave) isoSPI 端口功能

接收脉冲 (端口 A isoSPI)	内部 SPI 端口动作	返回脉冲
长 +1	驱动 CSB 至高电平	无
长 -1	驱动 CSB 至低电平	
短 +1	1. 设定 $SDI = 1$ 2. SCK 输出时钟	短 -1 脉冲 (假如读取一个 0 位) (假如不处于 READ 模式或者读取一个 1 位, 则无返回脉冲)
短 -1	1. 设定 $SDI = 0$ 2. SCK 输出时钟	

Slave isoSPI 端口从不发射长 (CSB) 脉冲。此外，一个 Slave isoSPI 端口将只发射“短-1”脉冲，而绝不会传输一个 +1 脉冲。Master 端口将无响应认作一个逻辑“1”。这使得可在单根电缆上连接多个从属器件而不会有发生冲突的风险 (星形连接)。

主从可逆双向 isoSPI

当 XL8812-1 端口 A 被配置成 isoSPI 时，通讯可同时从端口 A 或端口 B 发起。换句话说，XL8812-1 可以根据通讯的方向自动的配置端口 A 或端口 B 为 Master 或 Slave。这个特性允许上位机通过两个方向和菊花链连接的芯片进行通讯，如图 25 电路。

图 26 为双向 isoSPI 工作原理图。

当 XL8812-1 处于休眠“SLEEP”状态时，端口 A 和端口 B 都会对有效的唤醒信号做反应，无论端口配置成 2 线还是 4 线。如果从端口 A 唤醒，XL8812-1 被唤醒后会在端口 B 发送一个“长+1”信号 (CSB 上升沿信号) 去唤醒下一个芯片。如果从 B 端口唤醒，则不会在 A 端口发“长+1”信号 (缺省，1bit EFUSE 可以设置为在 A 端口发“长+1”唤醒信号)

当 XL8812-1 处于就绪“READY”状态时，上位机可以通过发送“长-1”脉冲从端口 A 或者端口 B 发起通讯。XL8812-1 自动将收到“长-1”脉冲的端口配置成 Slave 端口，把另外一个端口配置成 Master 端口。isoSPI 脉冲从 Master 端口往下传到菊花链上其余芯片。

当 XL8812-1 处于忙线“ACTIVE”状态时，芯片处于通讯中，内部 SPI 的 CSB 信号为低电平状态。只有当 Slave 端口接收到“长+1”信号 (CSB 上升沿信号) 后，芯片才返回到就绪“READY”状态。虽然不是是一种常规操作方式，但是 XL8812-1 还是允许在忙线状态下主从端口进行交换。具体操作是在菊花链末端芯片 Master 端口在发送 isoSPI 脉冲后 t_{BLOCK} 时间延时后，上位机向该端口发送“长-1”脉冲。在 t_{BLOCK} 时间内的“长-1”脉冲将被忽略。设置 t_{BLOCK} 时间延时主要是过滤长导线反射信号。

XL8812-1 的该特性有利于上位机在菊花链通讯链路发生故障时，从菊花链另外一端和脱机的芯片建立通讯，无论脱机芯片处于什么状态。

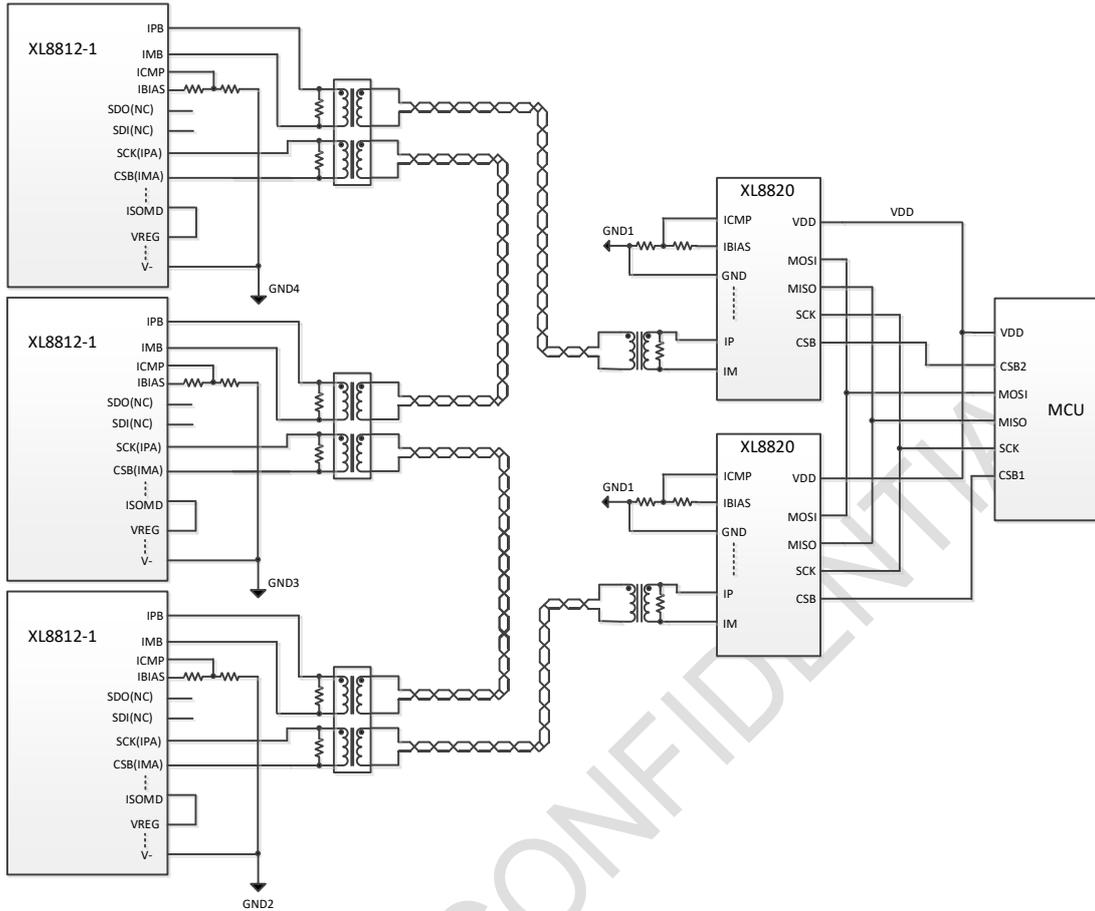


图 25. XL8812-1 双向菊花链级联图

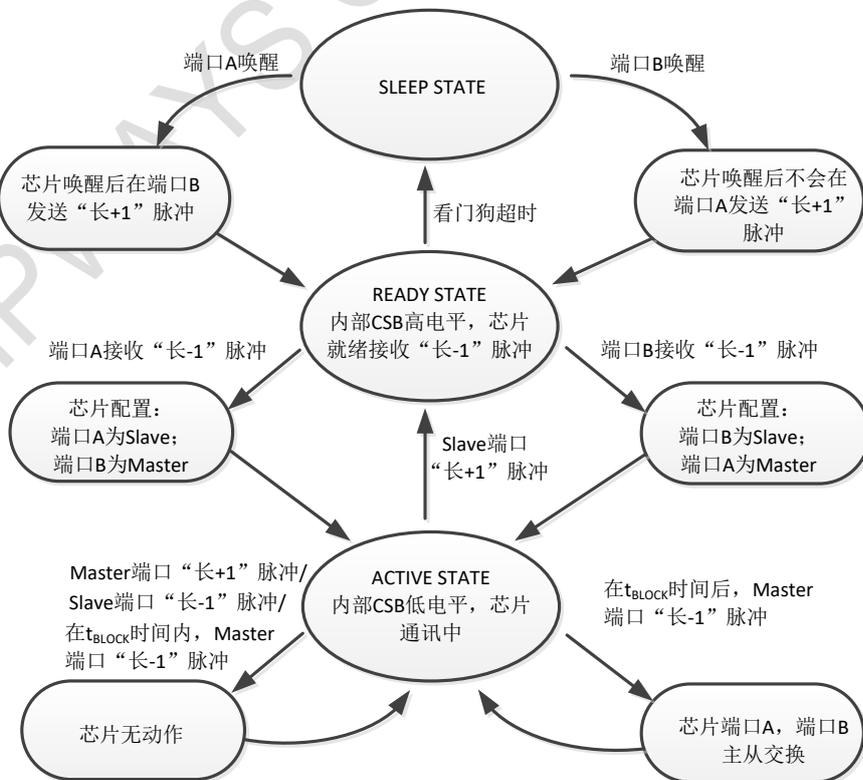


图 26. 主从可逆双向 isoSPI 工作原理图

图 27 示出了一组菊花链式连接的 XL8812-1 芯片的 isoSPI READ 时序图。最低端位置的 XL8812-1 芯片的 ISOMD 引脚连接至它的 V-引脚，因此其端口 A 被配置为一个 SPI 端口 (CSB、SCK、SDI 和 SDO)。图中示出了三个级联芯片的 isoSPI 信号，各标注了端口 (A 或 B) 和器件编号。请注意，ISO B1 端口信号和 ISO A2 端口信号实际上是相同的信号，标示于连接两个芯片 1 和 2 的传输电缆的每一端上。同样，ISO B2 和 ISO A3 也是相同的信号，也标示于芯片 2 和 3 之间的电缆两端，两个信号会有适当的传输线延迟。

W_n 至 W_0 位指的是 READ 命令的 16 位命令代码和 16 位 PEC。在 W_0 位的末端，3 个器件对 READ 命令进行译码，并移出数据，该数据会在下一个时钟的上升沿有效。 X_n 至 X_0 位指的是由芯片 1 移出的数据。 Y_n 至 Y_0 位指的是由芯片 2 移出的数据， Z_n 至 Z_0 位指的是由芯片 3 移出的数据。所有的数据均以一种菊花链的方式从器件 1 上的 SDO 端口读回。

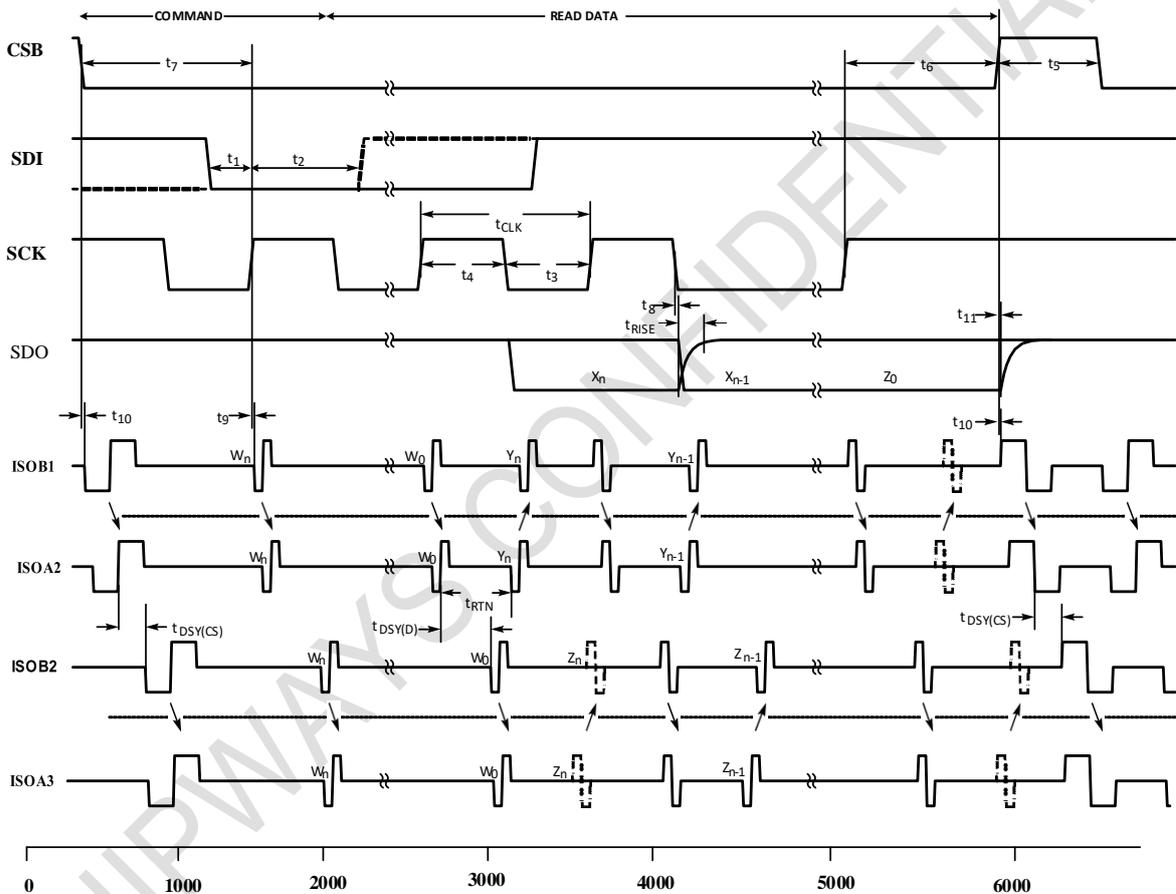


图 27. IsoSPI 时序图

唤醒串行接口

如果在端口 A 上持续 t_{IDLE} 的时间没有动作，则串行端口 (SPI 或 isoSPI) 将进入低功率 IDLE 状态。**WAKEUP** 电路负责监视引脚 41 和 42 上的动作。

假如 $ISOMD = V-$ ，则端口 A 处于 SPI 模式。CSB 或 SCK 引脚上的动作将唤醒 SPI 接口。如果 $ISOMD = V_{REG}$ ，则端口 A 处于 isoSPI 模式。IPA-IMB 上的差分动作将唤醒 isoSPI 接口。当 isoSPI 状态

在 t_{WAKE} 或 t_{READY} 之内 (取 决于内核 CORE 电路状态, 详见图 1 和状态描述) 变至 READY 时, XL8812 将做好通信的准备。

图 28 示出了唤醒机制的时序和功能上等价的电路。共模信号将不会唤醒串行接口。该接口只有在接收一个大的单端脉冲信号或一个低幅值得对称脉冲之后才会唤醒接口。差分信号 $|SCK(IPA) - CSB(IMA)|$ 幅值必须大于等于 $V_{WAKE} = 200mV$ 且保持最少 $t_{DWELL} = 240ns$ 的时间, 才会被认作是一个串行接口的唤醒信号。

唤醒菊花链: 方法 1

XL8812-1 在做好了通信准备之后于端口 B 上发送一个“长+1”脉冲。在菊花链式配置中, 该脉冲唤醒菊花链中的下一个级联芯片, 这样接着唤醒再下一个器件。如果菊花链中有 “N” 个器 件, 则所有器件将在 $N \cdot t_{WAKE}$ 或 $N \cdot t_{READY}$ 的时间之内 (取决于内核 CORE 电路状态) 上电。对于长的菊花链, 时间 $N \cdot t_{WAKE}$ 有可能等于或大于 t_{IDLE} 时间导致前面唤醒得芯片又进入 IDLE 状态。在这种情况下, 在等待的时间超过了 $N \cdot t_{WAKE}$ 之后, 上位机可以发送另一个虚字节并等待 $N \cdot t_{READY}$ 的时间, 以确保所有的器件均处于 READY 状态。

方法 1 在整条菊花链中的芯片都处于 IDLE 状态时是有效的, 如果菊花链中有的芯片还处于 READY 状态, 比如整个菊花链电路刚要进入 IDLE 的临界时间点上唤醒菊花链, 这时就有可能有的芯片还在 READY 状态, 处于 READY 状态的芯片将不会往下一级的芯片传送“长+1”脉冲唤醒信号, 这样, 再往上的芯片就无法被唤醒。

唤醒菊花链: 方法 2

另外一种更可靠的唤醒方法是上位机连续发送“长-1”“长+1”脉冲对来唤醒。脉冲对中间间隔时间需大于 t_{READY} 或 t_{WAKE} 而小于 t_{IDLE} , 这样即使菊花链中有芯片处于 READY 状态, 也会把该信号往下一级传递。在实践中, 需要驱动 4 线 SPI 的 CSB 管脚来产生该脉冲对。也可以用虚命令如 RDCFGA 来生成该长 isoSPI 脉冲对。

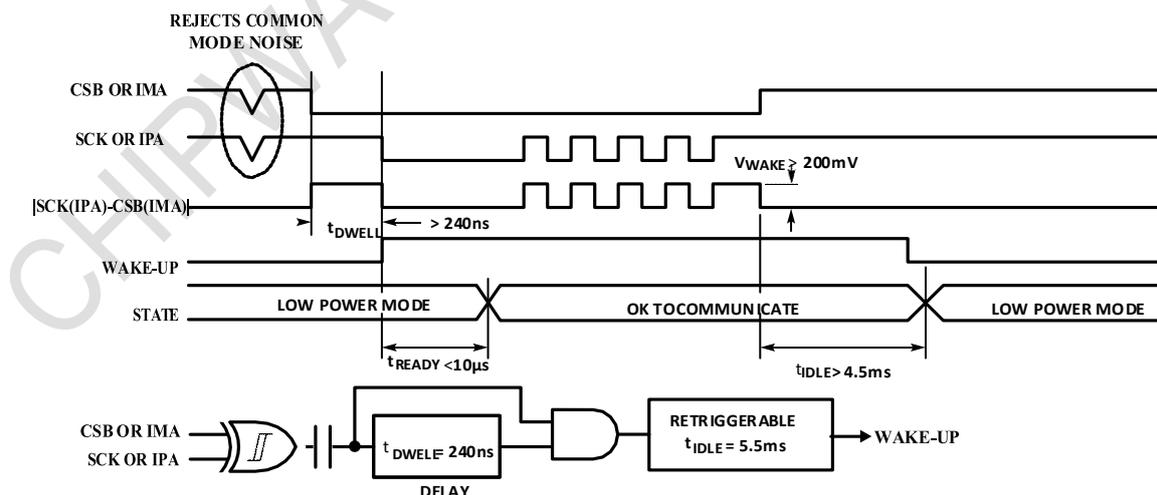


图 28. 唤醒检测和 IDLE 时钟

数据链路层

XL8812 上的所有数据皆以字节组进行传输。每个字节包括 8 个位。字节的传输从最高有效位 (MSB) 开始。CSB 必须在整个命令序列期间 (包括命令字节和后续数据之间) 保持低电平。在执行写命令时, 数据在 CSB 的上升沿被锁定。

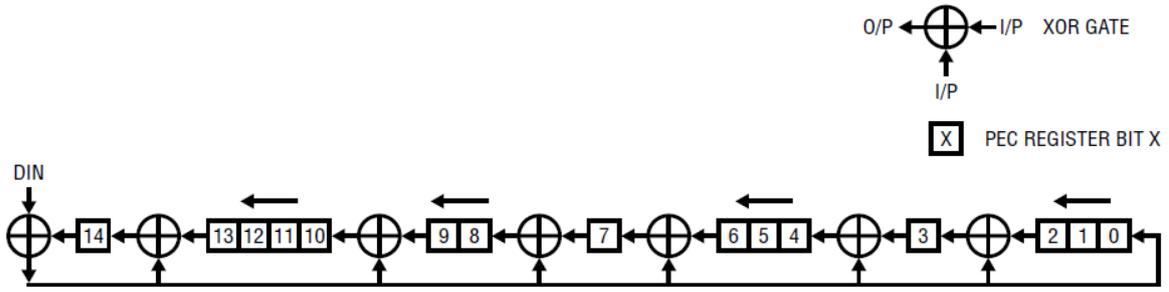
网络层

Packet Error Code (PEC)

数据包错误检测码 (PEC) 是一种 15 位循环冗余校验 (CRC) 值, 其针对一个寄存器组中的所有位并按照它们的传递顺序进行计算, 计算过程采用了 00000000010000 的初始 PEC 种子值和下面的特征多项式: $x^{15} + x^{14} + x^{10} + x^8 + x^7 + x^4 + x^3 + 1$ 。为了计算该 15 位 PEC 值, 可以按下面简单的程序来进行:

1. 初始化 PEC 为 00000000010000 (PEC 为 15 位寄存器组)
2. 对导入 PEC 寄存器组的每位数据 DIN, 做如下计算:
 - IN0 = DIN XOR PEC [14]
 - IN3 = IN0 XOR PEC [2]
 - IN4 = IN0 XOR PEC [3]
 - IN7 = IN0 XOR PEC [6]
 - IN8 = IN0 XOR PEC [7]
 - IN10 = IN0 XOR PEC [9]
 - IN14 = IN0 XOR PEC [13].
3. 更新 15 位 PEC 如下:
 - PEC [14] = IN14,
 - PEC [13] = PEC [12],
 - PEC [12] = PEC [11],
 - PEC [11] = PEC [10],
 - PEC [10] = IN10,
 - PEC [9] = PEC [8],
 - PEC [8] = IN8,
 - PEC [7] = IN7,
 - PEC [6] = PEC [5],
 - PEC [5] = PEC [4],
 - PEC [4] = IN4,
 - PEC [3] = IN3,
 - PEC [2] = PEC [1],
 - PEC [1] = PEC [0],
 - PEC [0] = IN0.
4. 回到第 2 步, 直到所有的数据移入。最终的 PEC (16bits) 为 15 位 PEC 寄存器值再加上一位 0 值 LSB。

图 29 为以上算法的示意图。表 28 为一个 16 位数据 (0x0001) 的 PEC 计算过程。0x0001 最后的 PEC 值为 0x3D6E。对于长的数据流, 只有当最后一位数据移入 PEC 寄存器后, PEC 值才有效。


图 29.15 位 PEC 计算电路
表 28. 0x001 数据的 PEC 计算

PEC[14]	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0
PEC[13]	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
PEC[12]	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1
PEC[11]	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1
PEC[10]	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1	1
PEC[9]	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	1
PEC[8]	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	0
PEC[7]	0	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1	1
PEC[6]	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
PEC[5]	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
PEC[4]	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1
PEC[3]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
PEC[2]	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
PEC[1]	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
PEC[0]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
IN14	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0		0
IN10	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1		PEC Word
IN8	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0		
IN7	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1		
IN4	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1		
IN3	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0		
IN0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1		
DIN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
Clock Cycle	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	

XL8812 会计算所收到的命令和数据的 PEC 值并把它和附在命令和数据后面 PEC 值进行比较，只有两个值相等才认为所收到的命令和数据有效。表 29 为写入或读出 XL8812 的 PEC 格式

表 29. Write/Read PEC 格式

NAME	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
PEC0	RD/WR	PEC[14]	PEC[13]	PEC[12]	PEC[11]	PEC[10]	PEC[9]	PEC[8]	PEC[7]
PEC1	RD/WR	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]	0

当对 XL8812 写入任何命令，命令 bytes CMD0、CMD1 和 PEC bytes PEC0 和 PEC1 都会按照下面的顺序

被送入端口 A: CMD0, CMD1, PEC0, PEC1

当一个广播写操作命令被送入由 XL8812-1 组成的菊花链后, 数据附带 PEC 会被送入每一个 XL8812-1 芯片。例如, 当对一个由 2 个 XL8812-1 (下面芯片 P, 叠加芯片 S) 组成的菊花链进行配置寄存器进行写操作时, 数据将按如下的顺序送到下面芯片的 A 端口:

CFGRO(S), ..., CFGR5(S), PEC0(S), PEC1(S), CFGRO(P),..., CFGR5(P), PEC0(P), PEC1(P)

当对状态寄存器进行读操作时, 数据移出顺序如下:

STBR0(P), ..., STBR5(P), PEC0(P), PEC1(P), STBR0(S),..., STBR5(S), PEC0(S), PEC1(S)

广播命令

广播命令是一种在线的所有器件都将对其做出响应的命令, 这与器件地址无关。该命令对 XL8812-1 和 XL8812-2 都可使用。见“总线协议”以了解广播命令格式。利用广播命令可同时向所有的器件发送命令。

在并行配置中 (XL8812-2), 当发起 ADC 转换, 或对所有芯片写入相同数据时, 广播命令非常有用。广播命令也适用于 SPI 接口的轮询功能 (Polling, ADC 命令后跟随的轮询功能, 或者用 PLADC 命令的轮询功能), 但不适用于 isoSPI 接口的芯片。广播读命令不应在并行配置中使用, 无论 SPI 或者 isoSPI 配置。

菊花链式配置的芯片组只支持广播命令, 因为它们没有地址。链中的所有器件同时接收命令字节。例如, 在一组级联的芯片中启动 ADC 转换, 将只发送一个 ADCV 命令, 然后所有的器件将同时启动转换操作。对于读和写命令, 发送单个命令, 然后堆栈器件实际上变成了一个级联式移位寄存器, 其中的数据通过每个器件移至堆栈中的下一个器件。见“串行接口”部分。

地址命令

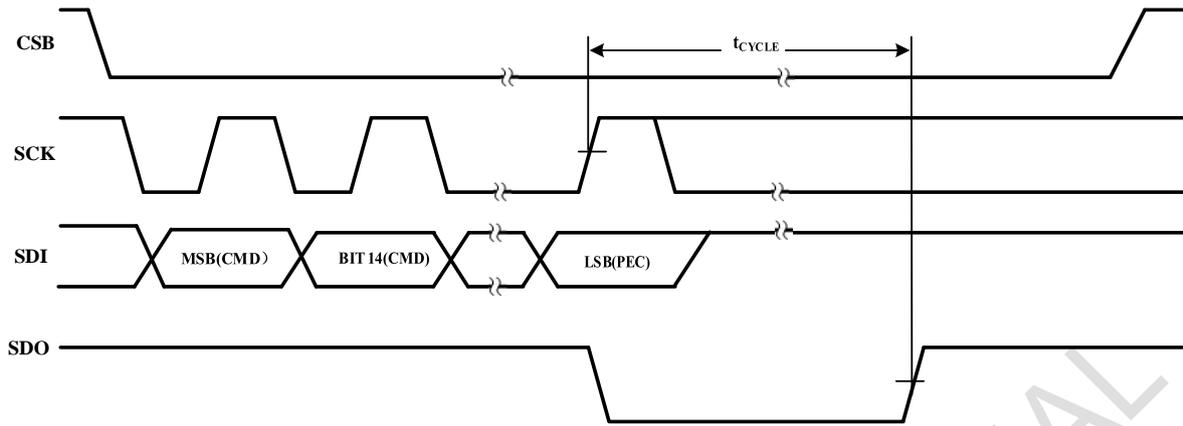
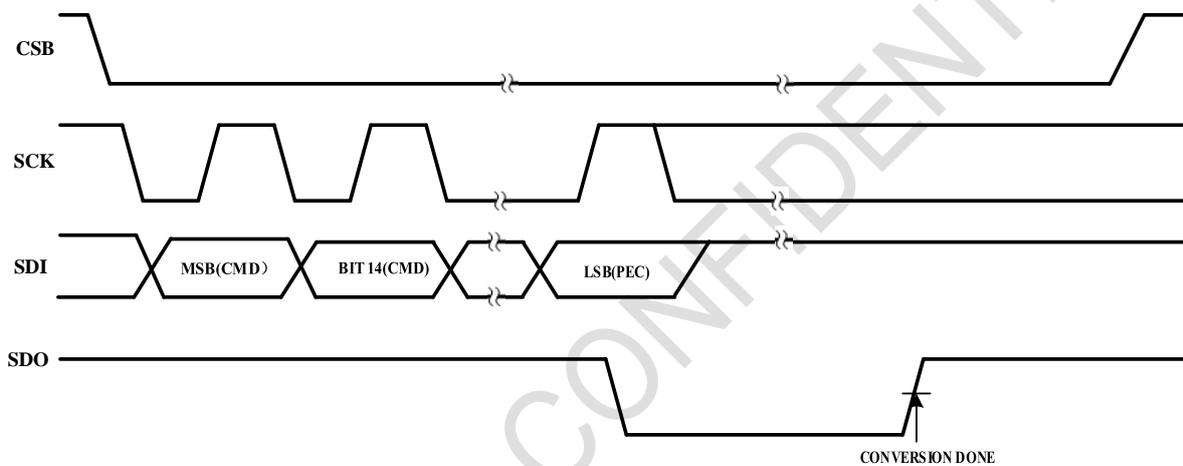
地址命令只有地址匹配的器件对该命令响应。地址命令仅与 XL8812-2 器件一起使用。所有命令都兼容寻址模式, 见“总线协议”以了解地址命令格式。

轮询 (polling command) 方法

确定 ADC 转换是否完成的最简单方法是让控制器启动一个 ADC 转换并等规定的转换时间过去之后再读取结果。XL8812-1 和 XL8812-2 都支持轮询来确认 ADC 是否完成。

在以 SPI 模式进行通信的并行配置中 (ISOMD 引脚连接至低电平), 有两种轮询方法。第一种方法是在发送了一个 ADC 转换命令之后将 CSB 保持在低电平。在输入了 ADC 转换命令之后, 在 ADC 转换命令执行期间, SDO 线将被驱动至低电平直到器件完成转换操作时 SDO 才被拉至高电平。不过, 当 CSB 走高时 SDO 也将返回高电平, 即使在器件尚未完成转换操作的情况下也不例外 (如图 30)。同样, 被寻址器件会根据其自身状态来驱动 SDO 线路。这种轮询方法的确定是: 控制器在等待 ADC 操作完成的过程中不能自由地去执行其他的串行通信。

第二种方法克服了这种局限性。控制器可以发送一个 ADC 启动命令, 接着去执行其他任务, 然后发送一个轮询 ADC 转换器状态 (PLADC) 命令以 确定 ADC 转换的状态 (图 31)。在输入了 PLADC 命令之后, SDO 将在器件忙于执行转换操作时变至低电平。SDO 在转换操作结束时被拉至高电平。然而, 当 CSBI 走高时 SDO 也将变至高电平, 即使在器件尚未完成转换操作的情况下也不例外。


图 30. ADC 转换命令后的 SDO 轮询（并行配置）

图 31. PLADC 命令后的 SDO 轮询（并行配置）

在以 isoSPI 模式进行通信的并行配置中，端口 A 仅对其所接收的 Master isoSPI 脉冲时钟发回数据脉冲。因此，在采用上述任一种轮询方法输入命令之后，isoSPI 数据脉冲将被发回至 Master 以更新转换状态。这需要 Master 不停的发送时钟脉冲来获取回发数据。XL8812-2 做出的响应是：回送一个“短-1” isoSPI 脉冲（假如其仍然忙于执行转换操作）或不回送脉冲（假如其已完成转换操作）。如果一个 CSB 高电平 isoSPI 脉冲被发送至 XL8812-2，则其将退出轮询命令。

在一个由 N 个级联芯片组成的菊花链电路中，上述两种轮询方法皆可使用。如果最下面的芯片采用 SPI 接口，则该芯片的 SDO 状态代表整个菊花链 ADC 转换状态，也就是说该 SDO 将保持低电平直到所有的芯片完成 ADC 转换。SDO 只有在 N 个时钟后才能有效代表整个菊花链电路的转换状态。在开始的 N 个时钟期间，菊花链最下面的芯片将输出 0 数据或“短-1”脉冲；N 个时钟后，输出才会根据菊花链电路所有芯片 ADC 转换状态输出 0 数据或者 1 数据（即无输出）。(图 32) 对第二种方法，PLADC 命令发完之后，在保持 CSB 为低电平的情况下，SCK 持续发送时钟信号。同第一种方法，SDO 的输出只有在 N 个时钟后才能有效代表整个菊花链电路的 ADC 转换状态。(图 33)

如果菊花链电路最下面芯片 A 端口采用 isoSPI 接口，A 端口会发回数据脉冲来更新 ADC 转换状态。通过 XL8820 转换芯片，可以直接在其 SCK 引脚提供时钟信号来获得数据的更新。同样，只有 N 个时钟后，输出的数据才能有效代表整个菊花链电路的转换状态。任何 ADC 处于转换状态，将输出 0 数据，只

在所有 ADC 完成转换，才输出 1 数据（即无输出）

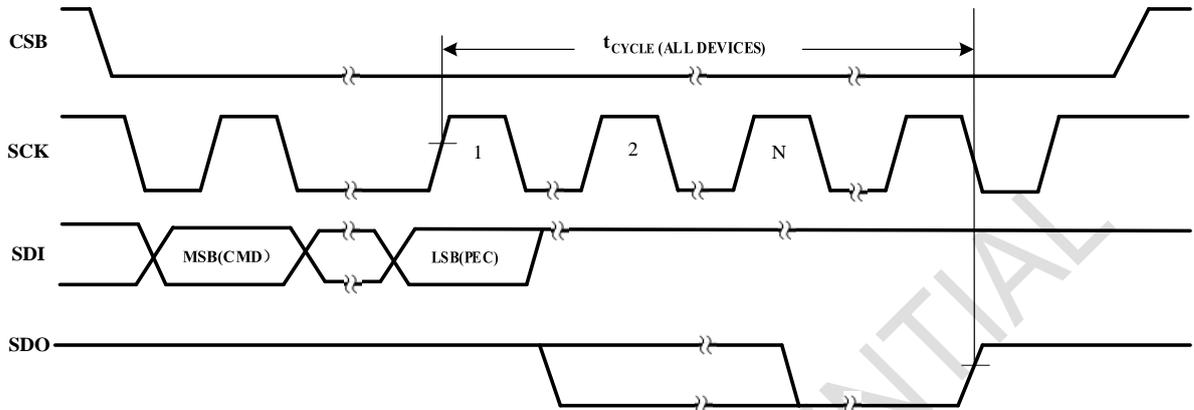


图 32. ADC 转换命令后的 SDO 轮询（菊花链配置）

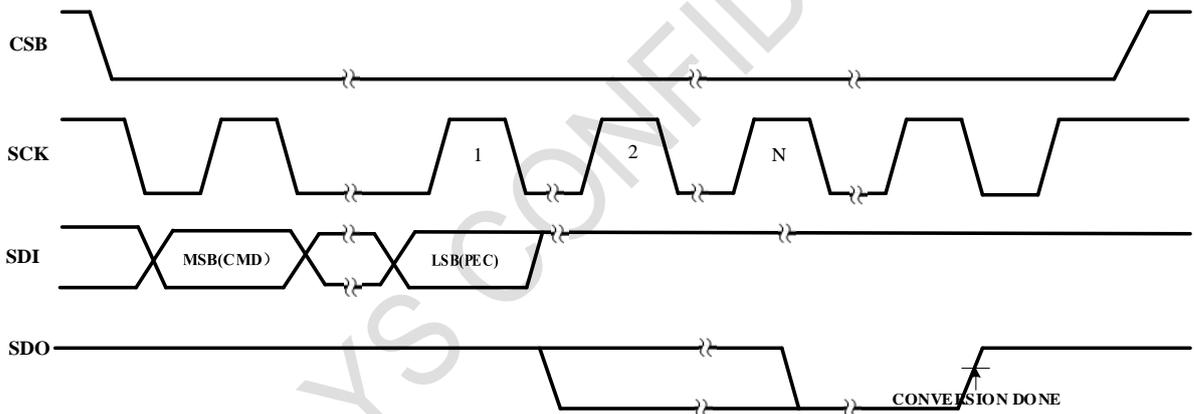


图 33. PLADC 命令后的 SDO 轮询（菊花链配置）

总线协议

协议格式：表 31 至 35 给出了广播命令和地址命令的协议格式。

表 30 列出用于阅读协议的关键词术语。

表 30. 协议关键词

CMD0	CommandByte0(SeeTable36andTable37)
CMD1	CommandByte1(SeeTable36andTable37)
PECO	PacketErrorCodeByte0(SeeTable29)
PEC1	PacketErrorCodeByte1(SeeTable29)
<i>n</i>	Number ofBytes
...	Continuation ofProtocol
	Master toSlave
	Slave toMaster

命令格式：广播命令和地址命令格式如表 36 和表 37。11 位命令代码 CC[10:0]对广播命令或地址命令都是相同的。表 38 列出了所有的命令代码。广播命令的 CMD0[7]到 CMD0[3]位的值为 0；地址命令的 CMD0[7]位值为 1，CMD0[6:3]为 4 位地址码 (a3, a2, a1, a0)。如果寻址配置的芯片的地址和地址命令的地址匹配，芯片将对命令作出反应。不管广播命令还是地址命令，都会计算 16 位命令 CMD0 和 CMD1 的 PEC。

表 31. Broadcast/Address 轮询命令

8	8	8	8	
CMD0	CMD1	PEC0	PEC1	Poll Data

表32. Broadcast Write Command

8	8	8	8	8	...	8	8	8	8	8	8
CMD0	CMD1	PEC0	PEC1	DataByteLow	...	DataByteHigh	PEC0	PEC1	ShiftByte1	...	ShiftByten

表33. Address Write Command

8	8	8	8	8	...	8	8	8
CMD0	CMD1	PEC0	PEC1	DataByteLow	...	DataByteHigh	PEC0	PEC1

表34. Broadcast Read Command

8	8	8	8	8	...	8	8	8	8	8	8
CMD0	CMD1	PEC0	PEC1	DataByteLow	...	DataByteHigh	PEC0	PEC1	ShiftByte1	...	ShiftByten

表35. Address Read Command

8	8	8	8	8	...	8	8	8
CMD0	CMD1	PEC0	PEC1	DataByteLow	...	DataByteHigh	PEC0	PEC1

表36. Broadcast Command Format

NAME	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

表37. Address Command Format

NAME	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CMD0	WR	1	a3*	a2*	a1*	a0*	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

*为地址位

命令代码

表 38 列出了 XL8812-1, XL8812-2 所有的命令代码和它们的选项。

表38. 命令代码

COMMAND DESCRIPTION	NAME	CC[10:0] - COMMAND CODE										
		10	9	8	7	6	5	4	3	2	1	0
WriteConfiguration Register GroupA	WRCFGGA	0	0	0	0	0	0	0	0	0	0	1



Write Configuration Register Group B	WRCFGB	0	0	0	0	0	1	0	0	1	0	0
Read Configuration Register Group A	RDCFGA	0	0	0	0	0	0	0	0	0	1	0
Read Configuration Register Group B	RDCFGB	0	0	0	0	0	1	0	0	1	1	0
Read Cell Voltage Register Group A	RDCVA	0	0	0	0	0	0	0	0	1	0	0
Read Cell Voltage Register Group B	RDCVB	0	0	0	0	0	0	0	0	1	1	0
Read Cell Voltage Register Group C	RDCVC	0	0	0	0	0	0	0	1	0	0	0
Read Cell Voltage Register Group D	RDCVD	0	0	0	0	0	0	0	1	0	1	0
Read Cell Voltage Register Group E	RDCVE	0	0	0	0	0	0	0	1	0	0	1
Read Cell Voltage Register Group F	RDCVF	0	0	0	0	0	0	0	1	0	1	1
Read Auxiliary Register Group A	RDAUXA	0	0	0	0	0	0	0	1	1	0	0
Read Auxiliary Register Group B	RDAUXB	0	0	0	0	0	0	0	1	1	1	0
Read Auxiliary Register Group C	RDAUXC	0	0	0	0	0	0	0	1	1	0	1
Read Auxiliary Register Group D	RDAUXD	0	0	0	0	0	0	0	1	1	1	1
Read Status Register Group A	RDSTATA	0	0	0	0	0	0	1	0	0	0	0
Read Status Register Group B	RDSTATB	0	0	0	0	0	0	1	0	0	1	0
Write S Control Register Group	WRSCTRL	0	0	0	0	0	0	1	0	1	0	0
Write PWM Register Group	WRPWM	0	0	0	0	0	1	0	0	0	0	0
Write PWM/S Control Register Group B	WRPSB	0	0	0	0	0	0	1	1	1	0	0
Read S Control Register Group	RDSCTRL	0	0	0	0	0	0	1	0	1	1	0
Read PWM Register Group	RDPWM	0	0	0	0	0	1	0	0	0	1	0

命令代码 (续)

COMMAND DESCRIPTION	NAME	CC[10:0] - COMMAND CODE										
		10	9	8	7	6	5	4	3	2	1	0
Read PWM/S Control Register Group B	RDPSB	0	0	0	0	0	0	1	1	1	1	0
Start S Control Pulsing and Poll Status	STSCTRL	0	0	0	0	0	0	1	1	0	0	1
Clear S Control Register Group	CLRSCTRL	0	0	0	0	0	0	1	1	0	0	0
Start Cell Voltage ADC Conversion and Poll Status	ADCV	0	1	MD[1]	MD[0]	1	1	DCP	0	CH[2]	CH[1]	CH[0]
Start Open Wire ADC Conversion and Poll Status	ADOW	0	1	MD[1]	MD[0]	PUP	1	DCP	1	CH[2]	CH[1]	CH[0]
Start Self Test Cell Voltage Conversion and Poll Status	CVST	0	1	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1

Start Overlap Measurement of Cell 7 Voltage	ADOL	0	1	MD[1]	MD[0]	0	0	DCP	0	0	0	1
Start GPIOs ADC Conversion and Poll Status	ADAX	1	0	MD[1]	MD[0]	1	1	0	0	CHG [2]	CHG [1]	CHG [0]
Start GPIOs ADC Conversion With Digital Redundancy and Poll Status	ADAXD	1	0	MD[1]	MD[0]	0	0	0	0	CHG [2]	CHG [1]	CHG [0]
Start Self Test GPIOs Conversion and Poll Status	AXST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start Status Group ADC Conversion and Poll Status	ADSTAT	1	0	MD[1]	MD[0]	1	1	0	1	CHST [2]	CHST [1]	CHST [0]
Start Status Group ADC Conversion With Digital Redundancy and Poll Status	ADSTATD	1	0	MD[1]	MD[0]	0	0	0	1	CHST [2]	CHST [1]	CHST [0]
Start Self Test Status Group Conversion and Poll Status	STATST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	1	1	1	1
Start Combined Cell Voltage and GPIO1, GPIO2 Conversion and Poll Status	ADCVAX	1	0	MD[1]	MD[0]	1	1	DCP	1	1	1	1
Start Combined Cell Voltage and SC Conversion and Poll Status	ADCVSC	1	0	MD[1]	MD[0]	1	1	DCP	0	1	1	1
Clear Cell Voltage Register Groups	CLRCELL	1	1	1	0	0	0	1	0	0	0	1
Clear Auxiliary Register Groups	CLRAUX	1	1	1	0	0	0	1	0	0	1	0
Clear Status Register Groups	CLRSTAT	1	1	1	0	0	0	1	0	0	1	1
Poll ADC Conversion Status	PLADC	1	1	1	0	0	0	1	0	1	0	0
Diagnose MUX and Poll Status	DIAGN	1	1	1	0	0	0	1	0	1	0	1
Write COMM Register Group	WRCOMM	1	1	1	0	0	1	0	0	0	0	1
Read COMM Register Group	RDCOMM	1	1	1	0	0	1	0	0	0	1	0
Start I ² C /SPI Communication	STCOMM	1	1	1	0	0	1	0	0	0	1	1

表39. 命令位描述

NAME	DESCRIPTION	VALUES										
MD[1:0]	ADC Mode	MD	ADCOPT(CFGR0[0]) = 0					ADCOPT(CFGR0[0]) = 1				
		0	422Hz Mode					1kHz Mode				
		1	27kHz Mode (Fast)					14kHz Mode				
		10	7kHz Mode (Normal)					3kHz Mode				
		11	26Hz Mode (Filtered)					2kHz Mode				
DCP	Discharge Permitted	DCP										
		0	Discharge Not Permitted									
		1	Discharge Permitted									
CH[2:0]	Cell Selection for ADC conversion	Total Conversion Time in the 8 ADC Modes										
		CH		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		0	All Cells	1.1ms	1.2ms	2.2ms	2.9ms	4.4ms	7.1ms	12.5ms	200ms	

		1	Cell 1 and Cell 7	176μs	205μs	380μs	490μs	740μs	1.2ms	2.2ms	34ms	
		10	Cell 2 and Cell 8									
		11	Cell 3 and Cell 9									
		100	Cell 4 and Cell 10									
		101	Cell 5 and Cell 11									
		110	Cell 6 and Cell 12									
PUP	Pull-Up/Pull-Down Current for Open Wire Conversions	PUP										
		0	Pull-Down Current									
		1	Pull-Up Current									
ST[1:0]	Self Test Mode Selection			Self Test Conversion Result								
		ST		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		1	Self Test 1	0x9565	0x9553	0x9555						
		10	Self Test 2	0x6A9A	0x6AAC	0x6AAA						
CHG[2:0]	GPIO Selection for ADC Conversion			Total Conversion Time in the 8 ADC Modes								
		CHG		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		0	GPIO1-5, 2nd Ref	1.1ms	1.2ms	2.2ms	2.9ms	4.4ms	7.1ms	12.5ms	200ms	
		1	GPIO 1	176μs	205μs	380μs	490μs	740μs	1.2ms	2.2ms	34ms	
		10	GPIO 2									
		11	GPIO 3									
		100	GPIO 4									
		101	GPIO 5									
110	2nd Reference											
CHST[2:0]	Status Group Selection			Total Conversion Time in the 8 ADC Modes								
		CHST		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		0	SC, ITMP, VA, VD	684μs	880μs	1.5ms	2.0ms	3.0ms	4.7ms	8.5ms	133ms	
		1	SC	176μs	205μs	380μs	490μs	740μs	1.2ms	2.2ms	34ms	
		10	ITMP									
		11	VA									
100	VD											

*Note: Valid options for CHST in ADSTAT command are 0-4. If CHST is set to 5/6 in ADSTAT command, the XL8812 treats it like ADAX command with G = 5/6.

Register Map

表40. Configuration Register Group

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CFGR0	RD/WR	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	REFON	DTEN	ADCOPT
CFGR1	RD/WR	VUV[7]	VUV[6]	VUV[5]	VUV[4]	VUV[3]	VUV[2]	VUV[1]	VUV[0]
CFGR2	RD/WR	VOV[3]	VOV[2]	VOV[1]	VOV[0]	VUV[11]	VUV[10]	VUV[9]	VUV[8]
CFGR3	RD/WR	VOV[11]	VOV[10]	VOV[9]	VOV[8]	VOV[7]	VOV[6]	VOV[5]	VOV[4]
CFGR4	RD/WR	DCC8	DCC7	DCC6	DCC5	DCC4	DCC3	DCC2	DCC1
CFGR5	RD/WR	DCTO[3]	DCTO[2]	DCTO[1]	DCTO[0]	DCC12	DCC11	DCC10	DCC9

表 41. Cell Voltage Register Group A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVAR0	RD	C1V[7]	C1V[6]	C1V[5]	C1V[4]	C1V[3]	C1V[2]	C1V[1]	C1V[0]
CVAR1	RD	C1V[15]	C1V[14]	C1V[13]	C1V[12]	C1V[11]	C1V[10]	C1V[9]	C1V[8]
CVAR2	RD	C2V[7]	C2V[6]	C2V[5]	C2V[4]	C2V[3]	C2V[2]	C2V[1]	C2V[0]
CVAR3	RD	C2V[15]	C2V[14]	C2V[13]	C2V[12]	C2V[11]	C2V[10]	C2V[9]	C2V[8]
CVAR4	RD	C3V[7]	C3V[6]	C3V[5]	C3V[4]	C3V[3]	C3V[2]	C3V[1]	C3V[0]
CVAR5	RD	C3V[15]	C3V[14]	C3V[13]	C3V[12]	C3V[11]	C3V[10]	C3V[9]	C3V[8]

表42. Cell Voltage Register Group B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVBR0	RD	C4V[7]	C4V[6]	C4V[5]	C4V[4]	C4V[3]	C4V[2]	C4V[1]	C4V[0]
CVBR1	RD	C4V[15]	C4V[14]	C4V[13]	C4V[12]	C4V[11]	C4V[10]	C4V[9]	C4V[8]
CVBR2	RD	C5V[7]	C5V[6]	C5V[5]	C5V[4]	C5V[3]	C5V[2]	C5V[1]	C5V[0]
CVBR3	RD	C5V[15]	C5V[14]	C5V[13]	C5V[12]	C5V[11]	C5V[10]	C5V[9]	C5V[8]
CVBR4	RD	C6V[7]	C6V[6]	C6V[5]	C6V[4]	C6V[3]	C6V[2]	C6V[1]	C6V[0]
CVBR5	RD	C6V[15]	C6V[14]	C6V[13]	C6V[12]	C6V[11]	C6V[10]	C6V[9]	C6V[8]

表43. Cell Voltage Register Group C

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVCR0	RD	C7V[7]	C7V[6]	C7V[5]	C7V[4]	C7V[3]	C7V[2]	C7V[1]	C7V[0]
CVCR1	RD	C7V[15]	C7V[14]	C7V[13]	C7V[12]	C7V[11]	C7V[10]	C7V[9]	C7V[8]
CVCR2*	RD	C8V[7]*	C8V[6]*	C8V[5]*	C8V[4]*	C8V[3]*	C8V[2]*	C8V[1]*	C8V[0]*
CVCR3*	RD	C8V[15]*	C8V[14]*	C8V[13]*	C8V[12]*	C8V[11]*	C8V[10]*	C8V[9]*	C8V[8]*
CVCR4	RD	C9V[7]	C9V[6]	C9V[5]	C9V[4]	C9V[3]	C9V[2]	C9V[1]	C9V[0]
CVCR5	RD	C9V[15]	C9V[14]	C9V[13]	C9V[12]	C9V[11]	C9V[10]	C9V[9]	C9V[8]

*After performing the ADOL command, CVCR2 and CVCR3 of Cell Voltage Register Group C will contain the result of measuring Cell 7 from ADC1.

Table 44. Cell Voltage Register Group D

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVDR0	RD	C10V[7]	C10V[6]	C10V[5]	C10V[4]	C10V[3]	C10V[2]	C10V[1]	C10V[0]
CVDR1	RD	C10V[15]	C10V[14]	C10V[13]	C10V[12]	C10V[11]	C10V[10]	C10V[9]	C10V[8]
CVDR2	RD	C11V[7]	C11V[6]	C11V[5]	C11V[4]	C11V[3]	C11V[2]	C11V[1]	C11V[0]
CVDR3	RD	C11V[15]	C11V[14]	C11V[13]	C11V[12]	C11V[11]	C11V[10]	C11V[9]	C11V[8]
CVDR4	RD	C12V[7]	C12V[6]	C12V[5]	C12V[4]	C12V[3]	C12V[2]	C12V[1]	C12V[0]
CVDR5	RD	C12V[15]	C12V[14]	C12V[13]	C12V[12]	C12V[11]	C12V[10]	C12V[9]	C12V[8]

Table 45. Auxiliary Register Group A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVAR0	RD	G1V[7]	G1V[6]	G1V[5]	G1V[4]	G1V[3]	G1V[2]	G1V[1]	G1V[0]
AVAR1	RD	G1V[15]	G1V[14]	G1V[13]	G1V[12]	G1V[11]	G1V[10]	G1V[9]	G1V[8]
AVAR2	RD	G2V[7]	G2V[6]	G2V[5]	G2V[4]	G2V[3]	G2V[2]	G2V[1]	G2V[0]
AVAR3	RD	G2V[15]	G2V[14]	G2V[13]	G2V[12]	G2V[11]	G2V[10]	G2V[9]	G2V[8]
AVAR4	RD	G3V[7]	G3V[6]	G3V[5]	G3V[4]	G3V[3]	G3V[2]	G3V[1]	G3V[0]
AVAR5	RD	G3V[15]	G3V[14]	G3V[13]	G3V[12]	G3V[11]	G3V[10]	G3V[9]	G3V[8]

Table 46. Auxiliary Register Group B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVBR0	RD	G4V[7]	G4V[6]	G4V[5]	G4V[4]	G4V[3]	G4V[2]	G4V[1]	G4V[0]
AVBR1	RD	G4V[15]	G4V[14]	G4V[13]	G4V[12]	G4V[11]	G4V[10]	G4V[9]	G4V[8]
AVBR2	RD	G5V[7]	G5V[6]	G5V[5]	G5V[4]	G5V[3]	G5V[2]	G5V[1]	G5V[0]
AVBR3	RD	G5V[15]	G5V[14]	G5V[13]	G5V[12]	G5V[11]	G5V[10]	G5V[9]	G5V[8]
AVBR4	RD	REF[7]	REF[6]	REF[5]	REF[4]	REF[3]	REF[2]	REF[1]	REF[0]
AVBR5	RD	REF[15]	REF[14]	REF[13]	REF[12]	REF[11]	REF[10]	REF[9]	REF[8]

Table 47. Status Register Group A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
STAR0	RD	SC[7]	SC[6]	SC[5]	SC[4]	SC[3]	SC[2]	SC[1]	SC[0]
STAR1	RD	SC[15]	SC[14]	SC[13]	SC[12]	SC[11]	SC[10]	SC[9]	SC[8]
STAR2	RD	ITMP[7]	ITMP[6]	ITMP[5]	ITMP[4]	ITMP[3]	ITMP[2]	ITMP[1]	ITMP[0]
STAR3	RD	ITMP[15]	ITMP[14]	ITMP[13]	ITMP[12]	ITMP[11]	ITMP[10]	ITMP[9]	ITMP[8]
STAR4	RD	VA[7]	VA[6]	VA[5]	VA[4]	VA[3]	VA[2]	VA[1]	VA[0]
STAR5	RD	VA[15]	VA[14]	VA[13]	VA[12]	VA[11]	VA[10]	VA[9]	VA[8]

表48. Status Register Group B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
STBR0	RD	VD[7]	VD[6]	VD[5]	VD[4]	VD[3]	VD[2]	VD[1]	VD[0]
STBR1	RD	VD[15]	VD[14]	VD[13]	VD[12]	VD[11]	VD[10]	VD[9]	VD[8]
STBR2	RD	C4OV	C4UV	C3OV	C3UV	C2OV	C2UV	C1OV	C1UV
STBR3	RD	C8OV	C8UV	C7OV	C7UV	C6OV	C6UV	C5OV	C5UV
STBR4	RD	C12OV	C12UV	C11OV	C11UV	C10OV	C10UV	C9OV	C9UV
STBR5	RD	REV[3]	REV[2]	REV[1]	REV[0]	RSVD	RSVD	MUXFAIL	THSD

表49. COMM Register Group

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]

表50. S Control Register Group

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SCTRL0	RD/WR	SCTL2[3]	SCTL2[2]	SCTL2 [1]	SCTL2[0]	SCTL1[3]	SCTL1[2]	SCTL1[1]	SCTL1[0]
SCTRL1	RD/WR	SCTL4[3]	SCTL4[2]	SCTL4[1]	SCTL4[0]	SCTL3[3]	SCTL3[2]	SCTL3[1]	SCTL3[0]
SCTRL2	RD/WR	SCTL6[3]	SCTL6[2]	SCTL6[1]	SC6TL[0]	SCTL5[3]	SCTL5[2]	SCTL5[1]	SCTL5[0]
SCTRL3	RD/WR	SCTL8[3]	SCTL8[2]	SCTL8[1]	SCTL8[0]	SCTL7[3]	SCTL7[2]	SCTL7[1]	SCTL7[0]
SCTRL4	RD/WR	SCTL10[3]	SCTL10[2]	SCTL10[1]	SCTL10[0]	SCTL9[3]	SCTL9[2]	SCTL9[1]	SCTL9[0]
SCTRL5	RD/WR	SCTL12[3]	SCTL12[2]	SCTL12[1]	SCTL12[0]	SCTL11[3]	SCTL11[2]	SCTL11[1]	SCTL11[0]

表51. PWM Register Group

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
PWMR0	RD/WR	PWM2[3]	PWM2[2]	PWM2 [1]	PWM2[0]	PWM1[3]	PWM1[2]	PWM1[1]	PWM1[0]
PWMR1	RD/WR	PWM4[3]	PWM4[2]	PWM4[1]	PWM4[0]	PWM3[3]	PWM3[2]	PWM3[1]	PWM3[0]
PWMR2	RD/WR	PWM6[3]	PWM6[2]	PWM6[1]	PWM6[0]	PWM5[3]	PWM5[2]	PWM5[1]	PWM5[0]
PWMR3	RD/WR	PWM8[3]	PWM8[2]	PWM8[1]	PWM8[0]	PWM7[3]	PWM7[2]	PWM7[1]	PWM7[0]
PWMR4	RD/WR	PWM10[3]	PWM10[2]	PWM10[1]	PWM10[0]	PWM9[3]	PWM9[2]	PWM9[1]	PWM9[0]
PWMR5	RD/WR	PWM12[3]	PWM12[2]	PWM12[1]	PWM12[0]	PWM11[3]	PWM11[2]	PWM11[1]	PWM11[0]

表52. Register Bit Descriptions

NAME	DESCRIPTION	VALUES
GPIOx	GPIOx Pin Control	Write: 0 -> GPIOx Pin Pull-Down ON; 1-> GPIOx Pin Pull Down OFF (Default) Read: 0 -> GPIOx Pin at Logic 0; 1 -> GPIOx Pin at Logic 1
REFON	References Powered Up	1 -> References Remain Powered Up Until Watchdog Timeout 0 -> References Shut Down After Conversions (Default)
DTEN	Discharge Timer Enable (READ ONLY)	1 -> Enables the Discharge Timer for Discharge Switches 0 -> Disables Discharge Timer
ADCOPT	ADC Mode Option Bit	ADCOPT: 0 -> Selects Modes 27kHz, 7kHz, 422Hz or 26Hz with MD[1:0] Bits in ADC Conversion Commands (Default) 1 -> Selects Modes 14kHz, 3kHz, 1kHz or 2kHz with MD[1:0] Bits in ADC Conversion Commands
VUV	Undervoltage Comparison Voltage*	Comparison Voltage = $(VUV + 1) \cdot 16 \cdot 100\mu V$ Default: VUV = 0x000
VOV	Overvoltage Comparison Voltage*	Comparison Voltage = $VOV \cdot 16 \cdot 100\mu V$ Default: VOV = 0x000
DCC[x]	Discharge Cell x	x = 1 to 12 1 -> Turn ON Shorting Switch for Cell x 0 -> Turn OFF Shorting Switch for Cell x (Default)

DCTO	Discharge Time Out Value	DCTO (Write)	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
		Time (Min)	Disabled	0.5	1	2	3	4	5	10	15	20	30	40	60	75	90	120	
		DCTO (Read)	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
		Time Left (Min) or Timeout	Disabled	0 to 0.5	0.5 to 1	1 to 2	2 to 3	3 to 4	4 to 5	5 to 10	10 to 15	15 to 20	20 to 30	30 to 40	40 to 60	60 to 75	75 to 90	90 to 120	
CxV	Cell x Voltage*	x = 1 to 12	16-Bit ADC Measurement Value for Cell x Cell Voltage for Cell x = CxV • 100μV CxV is Reset to 0xFFFF on Power-Up and After Clear Command																
GxV	GPIO x Voltage*	x = 1 to 5	16-Bit ADC Measurement Value for GPIOx Voltage for GPIOx = GxV • 100μV GxV is Reset to 0xFFFF on Power-Up and After Clear Command																
REF	2nd Reference Voltage*		16-Bit ADC Measurement Value for 2nd Reference Voltage for 2nd Reference = REF • 100μV Normal Range is within 2.99V to 3.01V, Allowing for Variations of VREF2 Voltage and ADC TME as Well as Additional Margin to Prevent a False Fault from Being Reported																
SC	Sum of All Cells Measurement*		16-Bit ADC Measurement Value of the Sum of All Cell Voltages Sum of All Cells Voltage = SC • 100μV • 20																
ITMP	Internal Die Temperature*		16-Bit ADC Measurement Value of Internal Die Temperature Temperature Measurement (°C) = ITMP • 100μV/6.8mV/°C – 273°C																
VA	Analog Power Supply Voltage*		16-Bit ADC Measurement Value of Analog Power Supply Voltage Analog Power Supply Voltage = VA • 100μV The value of VA is set by external components and should be in the range 4.5V to 5.5V for normal operation																
VD	Digital Power Supply Voltage*		16-bit ADC Measurement Value of Digital Power Supply Voltage Digital Power Supply Voltage = VD • 100μV Normal Range is within 2.7V to 3.6V																
CxOV	Cell x Overvoltage Flag	x = 1 to 12	Cell Voltage Compared to VOV Comparison Voltage 0 -> Cell x Not Flagged for Overvoltage Condition; 1-> Cell x Flagged																

Register Bit Descriptions (续)

NAME	DESCRIPTION	VALUES						
CxUV	Cell x Undervoltage Flag	x = 1 to 12 Cell Voltage Compared to VUV Comparison Voltage 0 -> Cell x Not Flagged for Undervoltage Condition; 1-> Cell x Flagged						
REV	Revision Code	Device Revision Code						
RSVD	Reserved Bits	Read: Read Back Value Is Always 0						
MUXFAIL	Multiplexer Self Test result	Read: 0 -> Multiplexer Passed Self Test; 1 -> Multiplexer Failed Self Test						
THSD	Thermal Shutdown Status	Read: 0 -> Thermal Shutdown Has Not Occurred; 1 -> Thermal Shutdown Has Occurred THSD Bit Cleared to 0 on Read of Status Register Group B						
SCTLx[x]	S Pin Control Bits	0000 – Drive S Pin High (De-asserted) 0001 – Send 1 High Pulse on S Pin 0010 – Send 2 High Pulses on S Pin 0011 – Send 3 High Pulses on S Pin 0100 – Send 4 High Pulses on S Pin 0101 – Send 5 High Pulses on S Pin 0110 – Send 6 High Pulses on S Pin 0111 – Send 7 High Pulses on S Pin 1XXX – Drive S Pin Low (Asserted)						
PWMx[x]	PWM Discharge Control	0000 – Selects 0% Discharge Duty Cycle if DCCx = 1 and Watchdog Timer Has Expired 0001 – Selects 6.7% Discharge Duty Cycle if DCCx = 1 and Watchdog Timer Has Expired 0010 – Selects 13.3% Discharge Duty Cycle if DCCx = 1 and Watchdog Timer Has Expired ... 1110 – Selects 93.3% Discharge Duty Cycle if DCCx = 1 and Watchdog Timer Has Expired 1111 – Selects 100% Discharge Duty Cycle if DCCx = 1 and Watchdog Timer Has Expired						
ICOMn	Initial Communication Control Bits	Write	I2C	0110	0001	0000	0111	
				START	STOP	BLANK	NO TRANSMIT	
		SPI	1000	1010	1001	1111		
			CSB Low	CSB Falling Edge	CSB High	NO TRANSMIT		
		Read	I2C	0110	0001	0000	0111	
				START from Master	STOP from Master	SDA Low Between Bytes	SDA High Between Bytes	
SPI	0111							
Dn	I2C/SPI Communication Data Byte	Data Transmitted (Received) to (from) I2C/SPI Slave Device						
FCOMn	Final Communication Control Bits	Write	I2C	0000	1000	1001		
				Master ACK	Master NACK	Master NACK + STOP		
		SPI	X000	1001				
			CSB Low	CSB High				
		Read	I2C	0000	0111	1111	0001	1001
				ACK from Master	ACK from Slave	NACK from Slave	ACK from Slave + STOP from Master	NACK from Slave + STOP from Master
SPI	1111							

*Voltage equations use the decimal value of registers, 0 to 4095 for 12 bits and 0 to 65535 for 16 bits.

典型应用电路

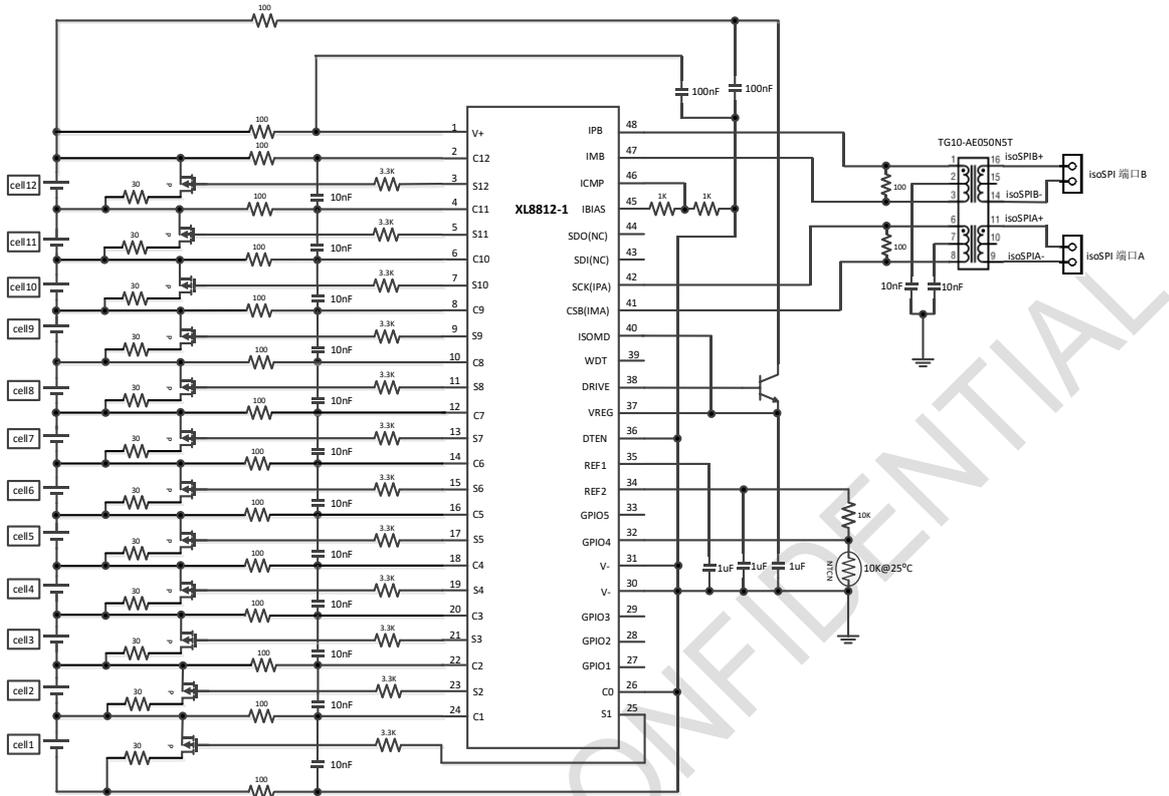


图 34. 外部均衡配置的 12 节电池监控模块电路 (菊花链)

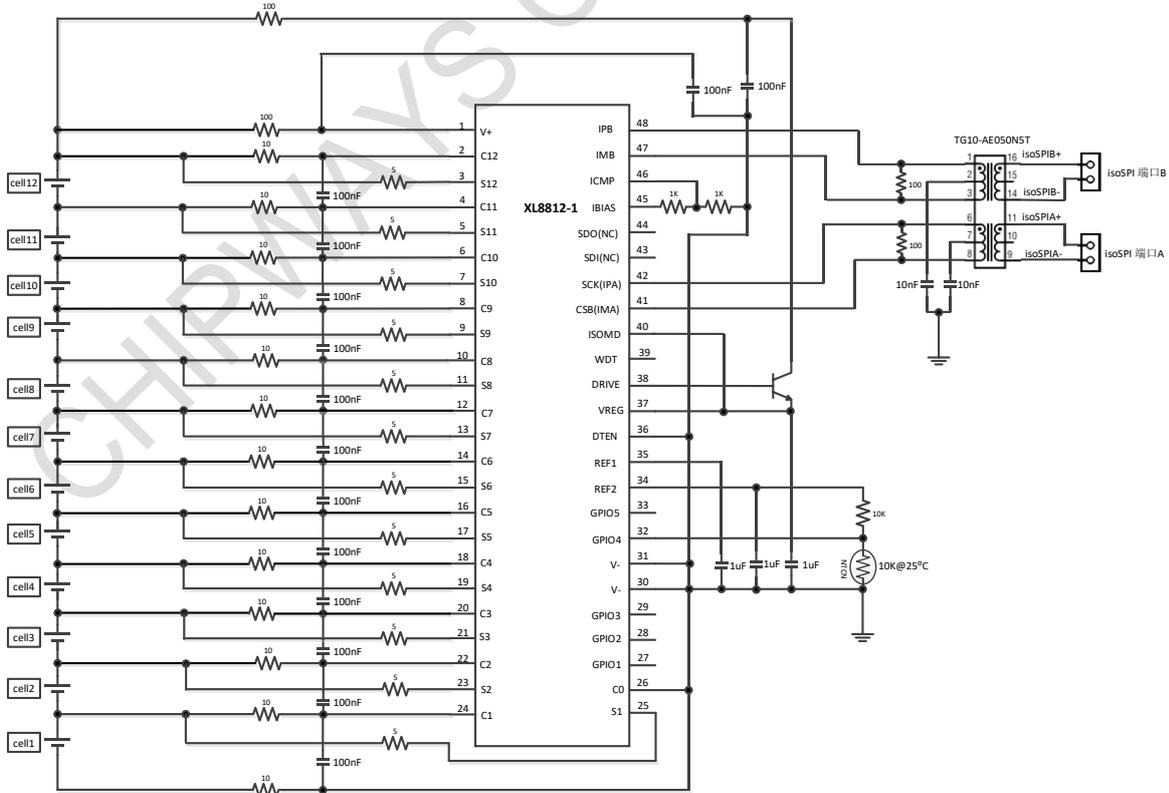
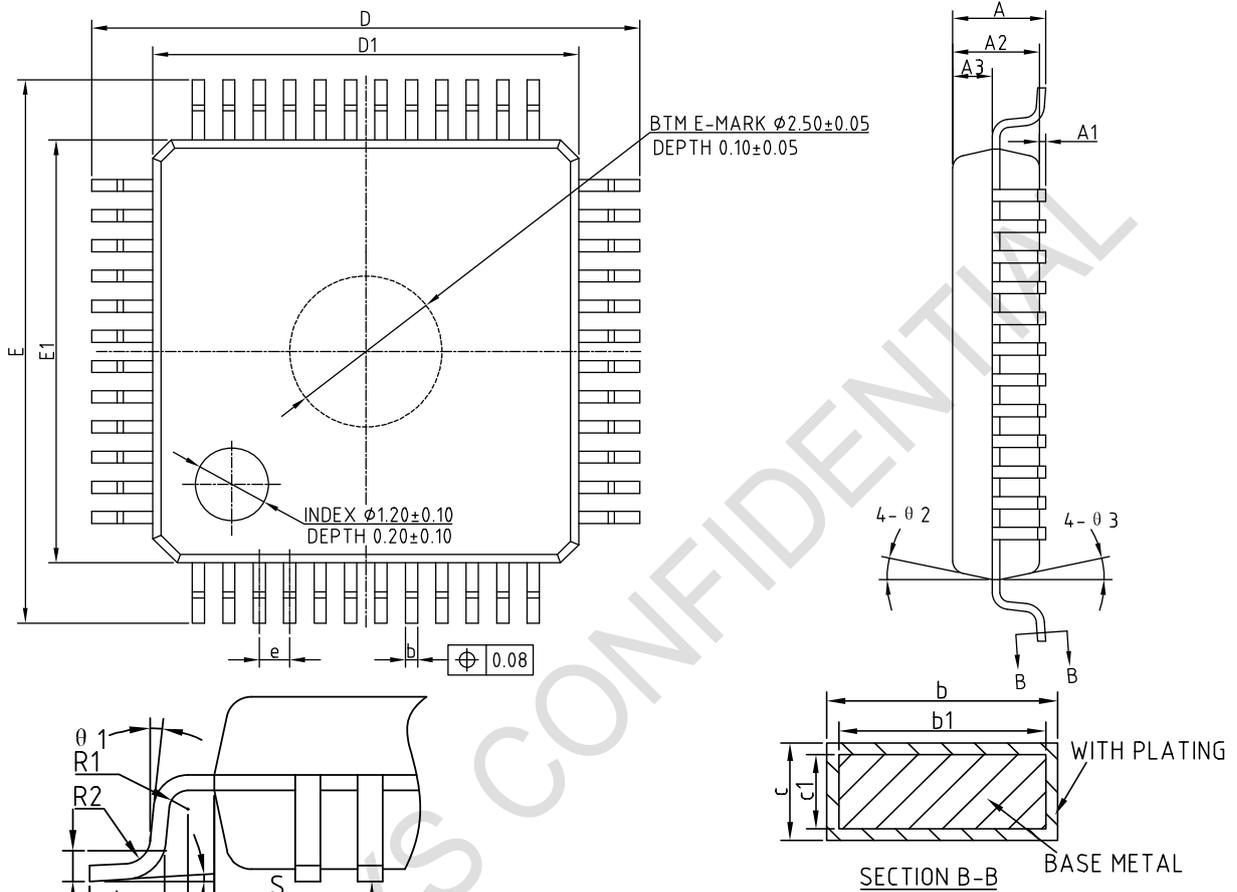


图 35. 内部均衡配置的 12 节电池监控模块电路 (菊花链)

封装信息

XL8812 48-Lead Package Outline Drawing LQFP (7mm x 7mm)



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.27
b1	0.17	0.20	0.23
c	0.13	—	0.18
c1	0.12	0.127	0.134
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	—	—
R2	0.08	—	0.20
S	0.20	—	—
θ	0°	3.5°	7°
$\theta 1$	0°	—	—
$\theta 2$	11°	12°	13°
$\theta 3$	11°	12°	13°